

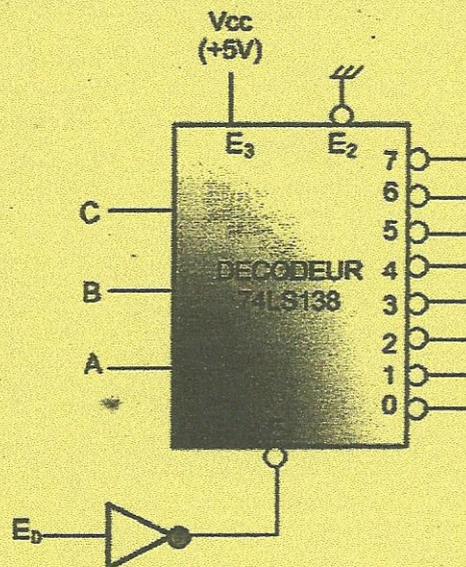


Collection Top départ



B.T.S INFORMATIQUE INDUSTRIELLE ET MAINTENANCE

# TECHNOLOGIES DES ORDINATEURS



*Exercices & Corrigés*

*Sujets de B.T.S : 2000 - 2008*

TECHNOLOGIES DES ORDINATEURS

# SOMMAIRE

## ENONCES

	Pages
Circuits logiques Programmables -----	2
Adressage mémoire dans les systèmes à microprocesseur -----	15
Les mémoires de masse -----	29
Les périphériques d'E/S -----	37
BTS SESSION 2000 -----	40
BTS SESSION 2002 -----	42
BTS SESSION 2003 -----	44
BTS SESSION 2004 -----	48
BTS SESSION 2005 -----	52
BTS SESSION 2006 -----	55
BTS SESSION 2007 -----	61
BTS SESSION 2008 -----	63

## CORRIGES

Circuits logiques Programmables -----	69
Adressage mémoire dans les systèmes à microprocesseur -----	86
Les mémoires de masse -----	110
Les périphériques d'E/S -----	124
BTS SESSION 2000 -----	130
BTS SESSION 2003 (Exercice 1) -----	133

**EXERCICE 1**

Réaliser la symbolisation des circuits logiques dont les schémas sont représentés ci-après.

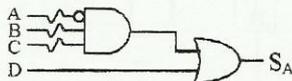


Fig. 1

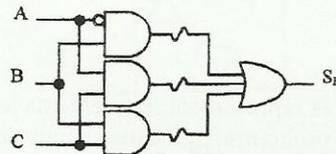


Fig. 2

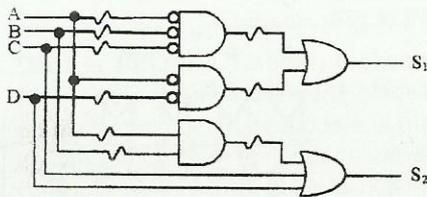


Fig. 3

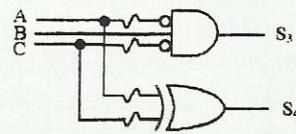
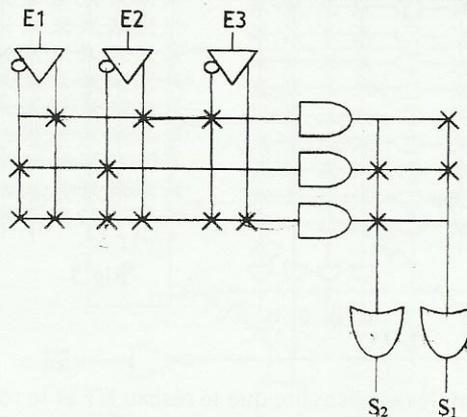


Fig. 4

**EXERCICE 2**

On considère l'élément PAL à 3 entrées et 2 sorties supposé être configuré comme suit.



- Donner l'équation de la sortie S1.
- On désire avoir à la sortie S2, la fonction  $\overline{E1} \cdot (\overline{E2} + E3)$ . Identifier les fusibles à conserver sur la troisième ligne du réseau ET.

**EXERCICE 3**

Ecrire les équations logiques de sortie des circuits suivants et reprendre les schémas sous la forme non symbolisée :

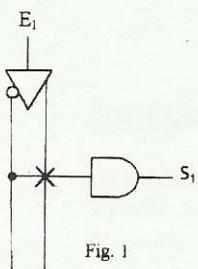


Fig. 1

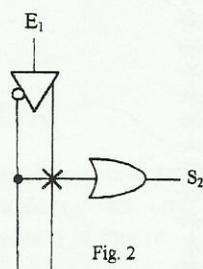


Fig. 2

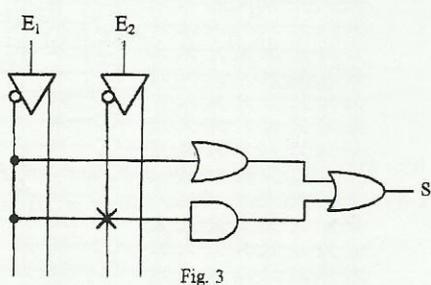


Fig. 3

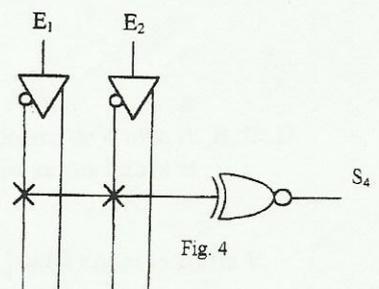


Fig. 4

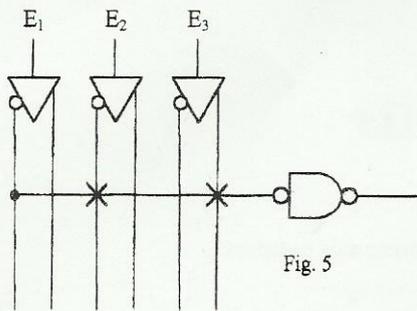


Fig. 5

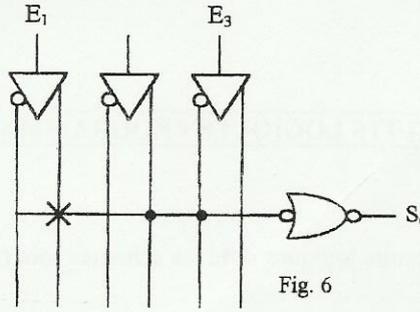


Fig. 6

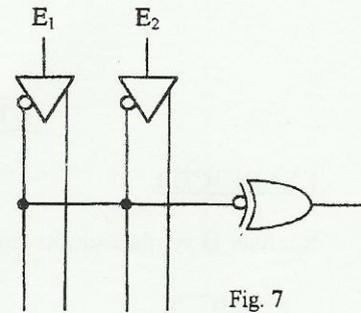


Fig. 7

**EXERCICE 4**

Les schémas ci-après représentent les éléments logiques programmables. Identifier le réseau programmable dans chaque cas de figure. En déduire le type de chaque élément programmable

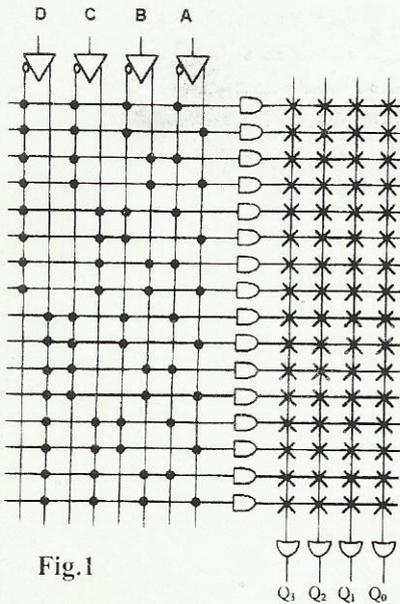


Fig.1

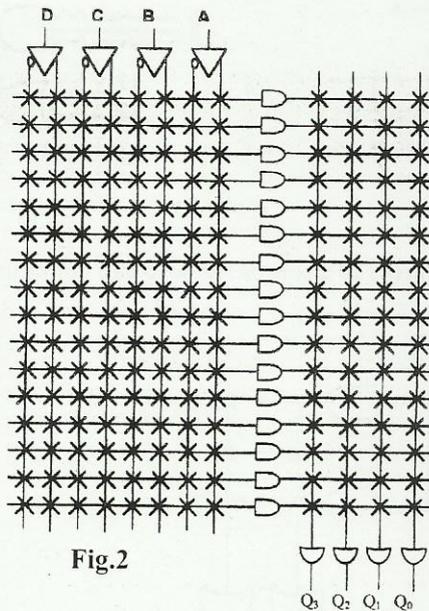


Fig.2

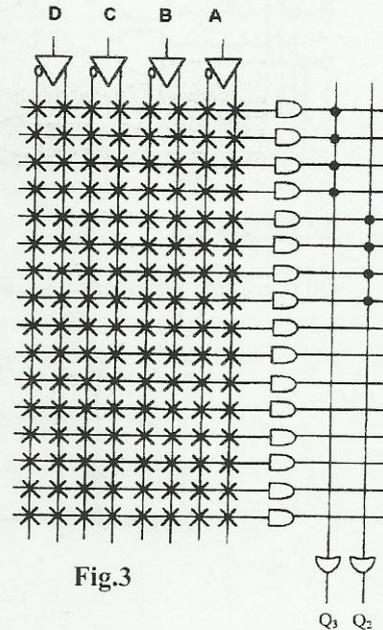


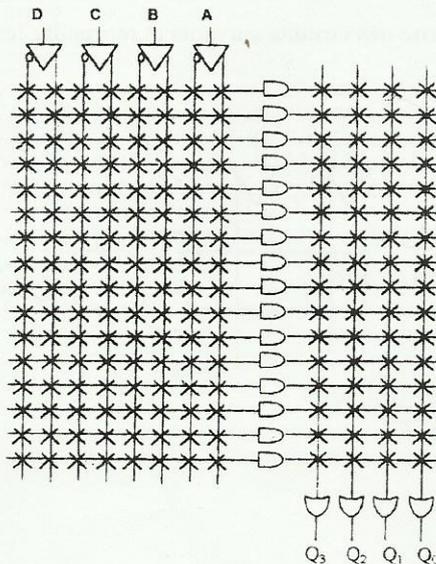
Fig.3

**EXERCICE 5**

La réalisation de certaines fonctions logiques complexes nécessite que le réseau ET et le réseau OU soient programmables à la fois. Un tel élément est appelé PLA ou FPLA (Field Programmable Logic Array). Le schéma ci-après représente un élément FPLA vierge.

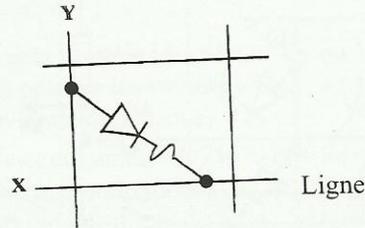
Représenter l'élément FPLA programmé et réalisant les fonctions suivantes :

$$Q_0 = \overline{A}BCD \quad Q_1 = \overline{A} + B + \overline{C} + D + AC \quad Q_2 = Q_0 + Q_1 \quad Q_3 = \overline{(A \oplus B)} (C \oplus D)$$

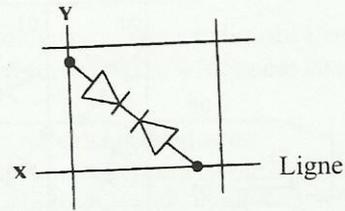


## EXERCICE 6

Il existe deux types de PROM : les PROM à fusibles et les PROM à avalanche dont les schémas de principe sont les suivants :



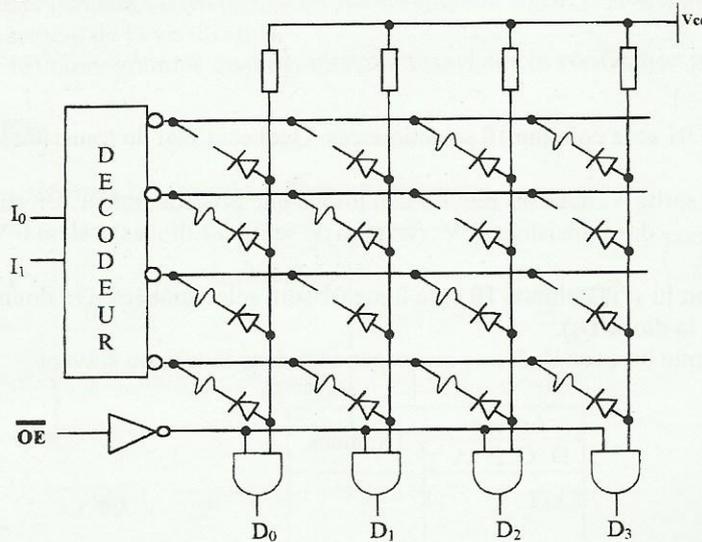
Colonnes Fig.1. PROM à fusibles



Colonnes Fig.2. PROM à avalanche

Dans la PROM à fusibles, à chaque intersection ligne colonne, il y a une diode en série avec un fusible. L'utilisateur doit faire claquer le fusible pour programmer un bit. Dans la PROM à avalanche, on place une deuxième diode à la place du fusible. Pour programmer un bit, on doit établir une liaison en faisant claquer la jonction de la diode en inverse par application entre X et Y d'une tension suffisante pour mettre en avalanche la diode en question.

On fait la programmation suivante d'une PROM à fusibles.



- 1°) Lire les données programmées dans chaque case mémoire.
- 2°) On considère que la PROM ci-dessus est une PROM à avalanche. Représente le schéma en programmant les données suivantes.

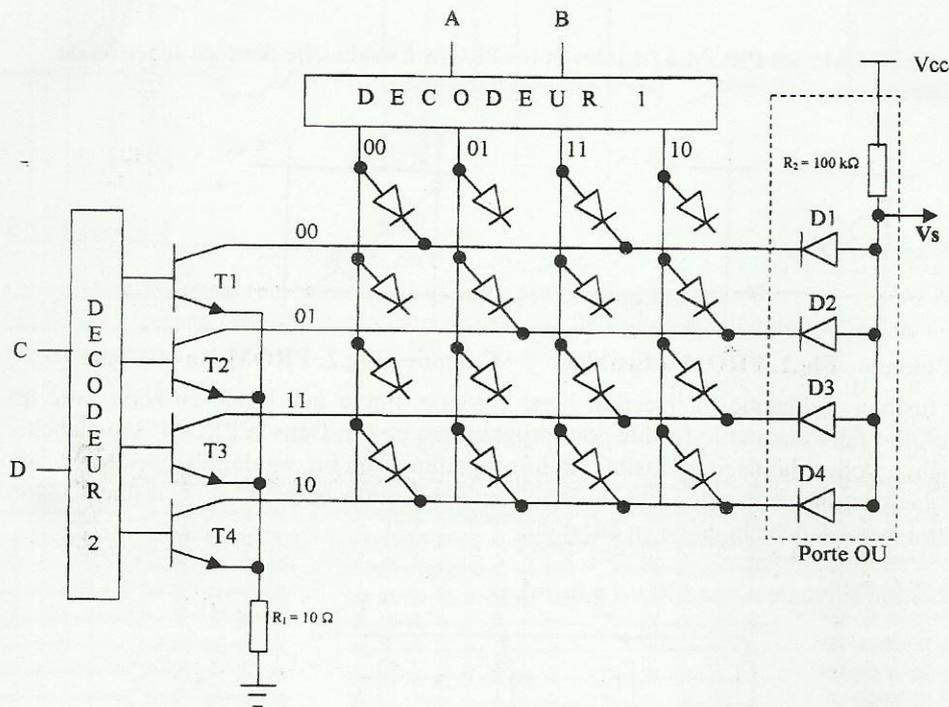
Adresse		Données <sup>1</sup>
0	0	E h
0	1	8 h
1	0	B h
1	1	1 h

## EXERCICE 7

Le schéma ci-après représente une ROM à diodes adressable à travers une adresse de 4 bits, A, B, C, D à partir de deux décodeurs. Une seule ligne et une seule colonne seront à 1, les autres lignes et colonnes resteront à la masse.

Les diodes  $D_1, D_2, D_3, D_4$  constituent à la sortie de la matrice, une porte logique OU dont la sortie  $V_s$  représente la sortie de la ROM. Les informations sont lues bit par bit à la sortie  $V_s$ .

On précise que  $R_2 \gg R_1$ .



- 1°) On suppose que la ligne 01 et la colonne 10 sélectionnées. Quel est l'état du transistor  $T_2$  et de la diode  $D_2$  ?
- 2°) Donner l'équation de la sortie  $V_s$  dans les mêmes conditions que précédemment. On supposera pour cela que la tension  $V_{CESAT}$  des transistors et  $V_o$  (tension de seuil des diodes) valent 0 V. En déduire la valeur du bit lu.
- 3°) Quelle est la valeur du bit lu si la colonne 10 et la ligne 01 sont sélectionnées (On donnera d'abord l'état du transistors  $T_2$  et de la diode  $D_2$ ).
- 4°) Donner la valeur de chaque bit avec l'adresse correspondant dans le tableau suivant.

Adresse				Données
D	C	B	A	

5°) La figure ci haut étudiée représente en fait un circuit logique combinatoire programmable à partir de A, B, C, D. Représenter le même schéma sous la forme symbolisée.

### EXERCICE 8

Les modes de fonctionnement d'une PROM 27C256 sont donnés dans le tableau ci-après.

Modes	Broches	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	$V_{pp}$	sortie
Lecture		$V_{IL}$	$V_{IL}$		$V_{cc}$	
Invalidation des sorties		$V_{IL}$	$V_{IH}$		$V_{cc}$	
Attente TTL		$V_{IH}$	X		$V_{cc}$	
Programmation		$V_{IL}$	$V_{IH}$		$V_{pp}$	
Vérification		$V_{IL}$	$V_{IL}$		$V_{pp}$	
Inhibition de programmation		$V_{IH}$	X		$V_{pp}$	

Remarque :

VIL = état logique bas  
VIH = état logique haut

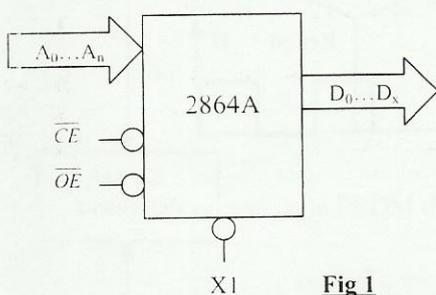
La broche  $\overline{PGM}$  peut prendre les valeurs  $V_{IL}$  ou  $V_{IH}$ . La colonne « sortie » indiquant l'état de la sortie de la PROM, peut prendre les valeurs «  $D_{OUT}$  » (données en sortie), «  $D_{IN}$  » (données en entrée), « H-Z » (sortie en haute impédance).

- 1°) Remplir les deux colonnes «  $\overline{PGM}$  » et « Sortie » avec les valeurs adéquates.
- 2°) Tous les modes opératoire découlent des deux modes lecture et écriture (programmation). Préciser les modes qui découlent du mode lecture et ceux qui découlent du mode écriture.
- 3°) Donner la différence entre le mode lecture et le mode vérification en s'appuyant sur les signaux mis à contribution.
- 4°) La procédure de programmation suivie de la vérification obéit aux étapes suivantes :
  - Positionnement de  $V_{pp}$  et passage de  $V_{cc}$  à  $V_{cc} + 1$  V simultanément
  - Positionnement de l'adresse ( $A_0 \dots A_n$ ) au même moment que les tensions précédentes.
  - Envoi de la donnée à programmer sur le bus de donnée
  - Validation du boîtier pendant une période de 100  $\mu$ s
  - Suppression de la donnée
  - Attente pendant un temps  $t_{OES}$  de stabilisation du signal de validation des sorties
  - Lancement de la vérification

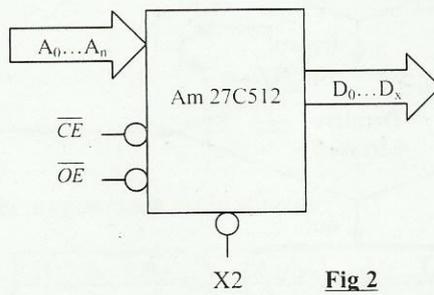
Représenter le chronogramme de programmation suivie de la vérification sur le même schéma.

**EXERCICE 9**

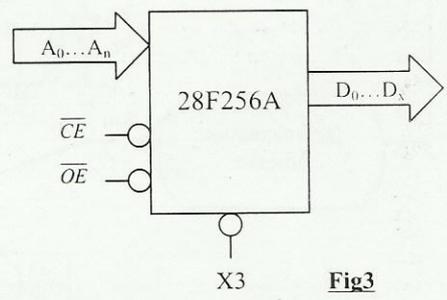
On donne les schémas suivants de 3 éléments mémoires.



**Fig 1**



**Fig 2**

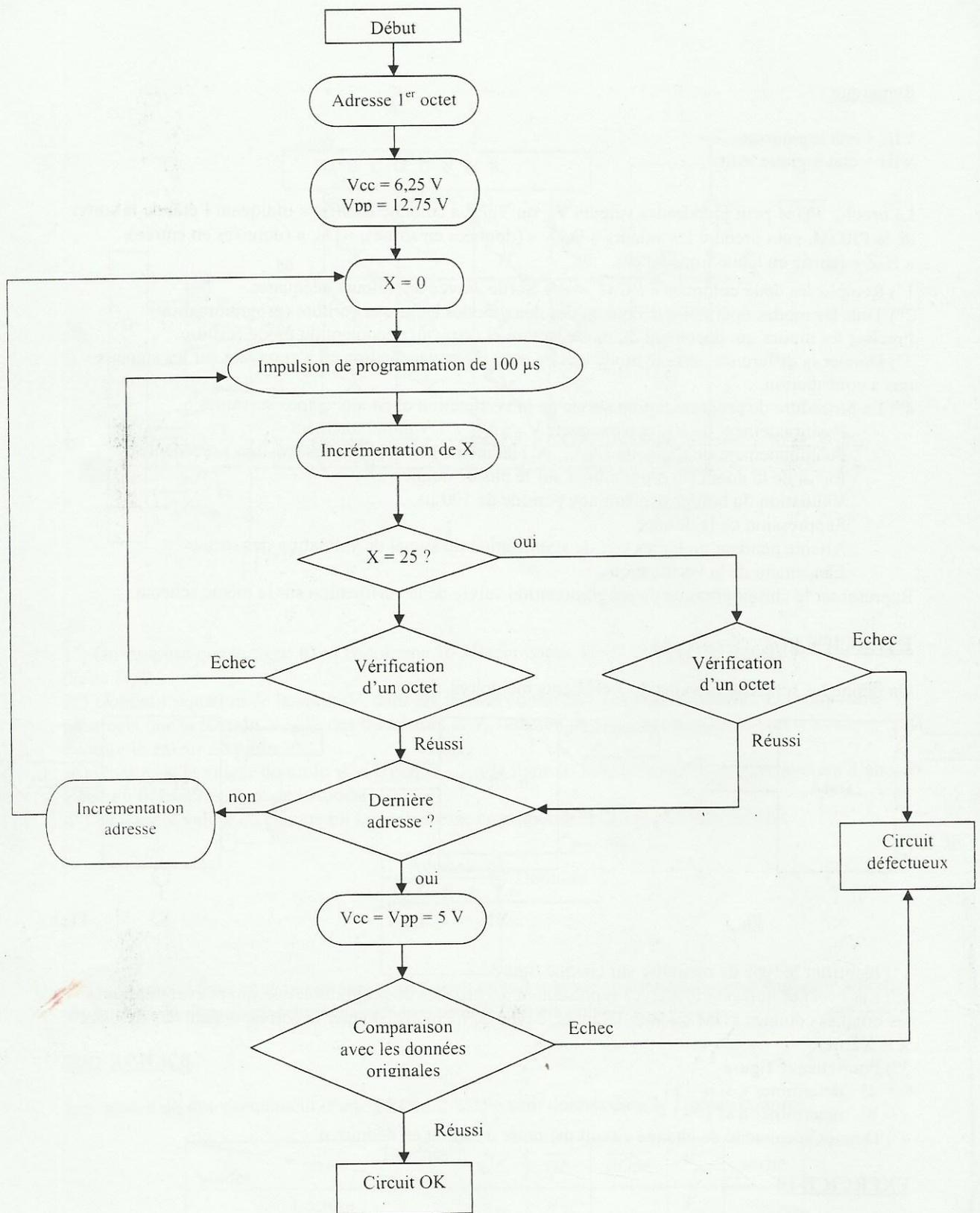


**Fig3**

- 1°) Identifier le type de mémoire sur chaque figure.
- 2°) Les broches notées X1, X2, X3 représentent les broches de programmation qui peuvent indiquer les broches connues PGM ou WE. D'après le type de mémoire, donner le correspondant des broches X1, X2, X3.
- 3°) Pour chaque figure
  - a) déterminer x si  $n = 11$
  - b) déterminer n si  $x = 3$
- 4°) Donner la capacité de chaque circuit mémoire en Ko et en déduire n.

**EXERCICE 10**

La programmation des circuits EPROM obéit à un algorithme imposé par le programmeur. Le schéma ci-dessous est un exemple d'algorithme de programmation dit rapide d'un circuit EPROM 27C256 d'Intel.



1°) Dans cet algorithme, X représente un compteur. A quel comptage sert-il ? Pourquoi est-il initialisé à 0 ?

2°) A quelle condition l'échec de la programmation d'un octet amène le programmeur à déclarer la puce mémoire défectueuse ?

3°) Trois modes de fonctionnement des EPROM sont mis à contribution lors de l'exécution de ce algorithme. Identifier ces modes en justifiant les réponses.

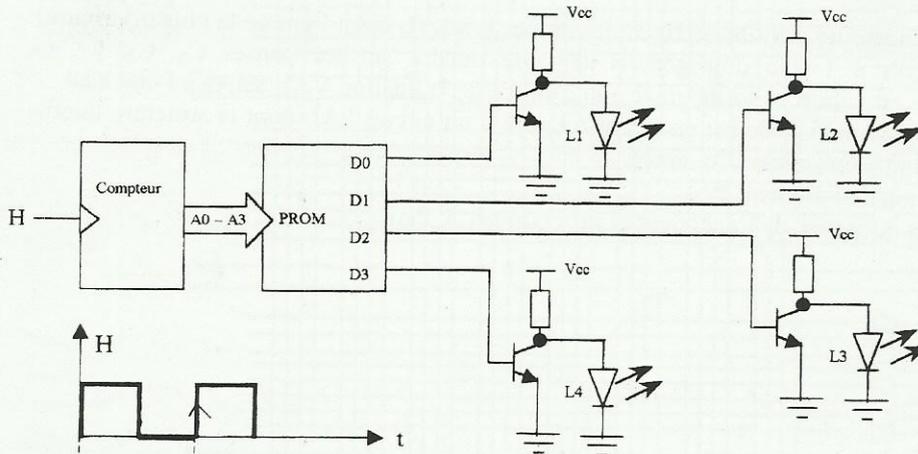
4°) L'impulsion de programmation de 100  $\mu$ s est envoyée sur une broche particulière de l'EPROM. De quelle broche pourrait-il s'agir ?

On suppose que le temps de vérification d'un octet programmé fait 4 fois le temps mis pour sa programmation. On suppose aussi qu'à la première tentative de programmation de chaque octet, l'opération est réussie.

5°) Combien de temps mettra la programmation entière d'une puce 27C256, si l'on ne tient pas compte du temps mis lors de la dernière comparaison faite avec les données originales. En déduire ce temps de programmation de la puce si la programmation d'un octet ne réussit qu'à la dernière tentative.

### EXERCICE 11

Soit le schéma suivant dans lequel une PROM pilotée par un compteur est utilisée pour commander 4 LED (L1, L2, L3, L4)



Le contenu de la PROM déjà programmée est le suivant :

H	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	1	1	0
3	0	0	1	1	1	1	0	1
4	0	1	0	0	1	0	0	0
5	0	1	0	1	1	0	1	1
6	0	1	1	0	0	1	0	0
7	0	1	1	1	0	1	0	1
8	1	0	0	0	0	0	1	0
9	1	0	0	1	1	0	0	1
10	1	0	1	0	1	1	0	0
11	1	0	1	1	1	1	1	1
12	1	1	0	0	0	0	0	0
13	1	1	0	1	0	0	0	1
14	1	1	1	0	0	1	1	0
15	1	1	1	1	1	1	0	1

1°) Une PROM désignée par les chiffres 512 x 8 bits possède 512 mots mémoire en raison de 8 bits par mot. Donner sous la même forme, la désignation de la PROM du schéma ci-dessus.

- 2°) Quel est l'état de chacune des 4 LED dès l'application de la première impulsion d'horloge.  
3°) Déterminer les fréquences respectives notées  $F_{L1}$ ,  $F_{L2}$ ,  $F_{L3}$ ,  $F_{L4}$  de chaque LED. On précise que la fréquence de l'horloge H est notée F0.  
4°) Etablir une relation entre  $F_{L1}$ , et  $F_{L3}$  d'une part et entre  $F_{L2}$  et  $F_{L4}$  d'autre part.

### EXERCICE 12

En utilisant une mémoire 27C256, on veut réaliser un décodeur 1 parmi 8 qui comporte :

- 3 entrées de validation ( $\overline{G2_A}$ ,  $\overline{G2_B}$  et  $G_1$ )
- 3 entrées de sélection A, B, C (A étant le bit de poids le plus faible)
- 8 sorties  $Y_0$  à  $Y_7$  actives à l'état bas.

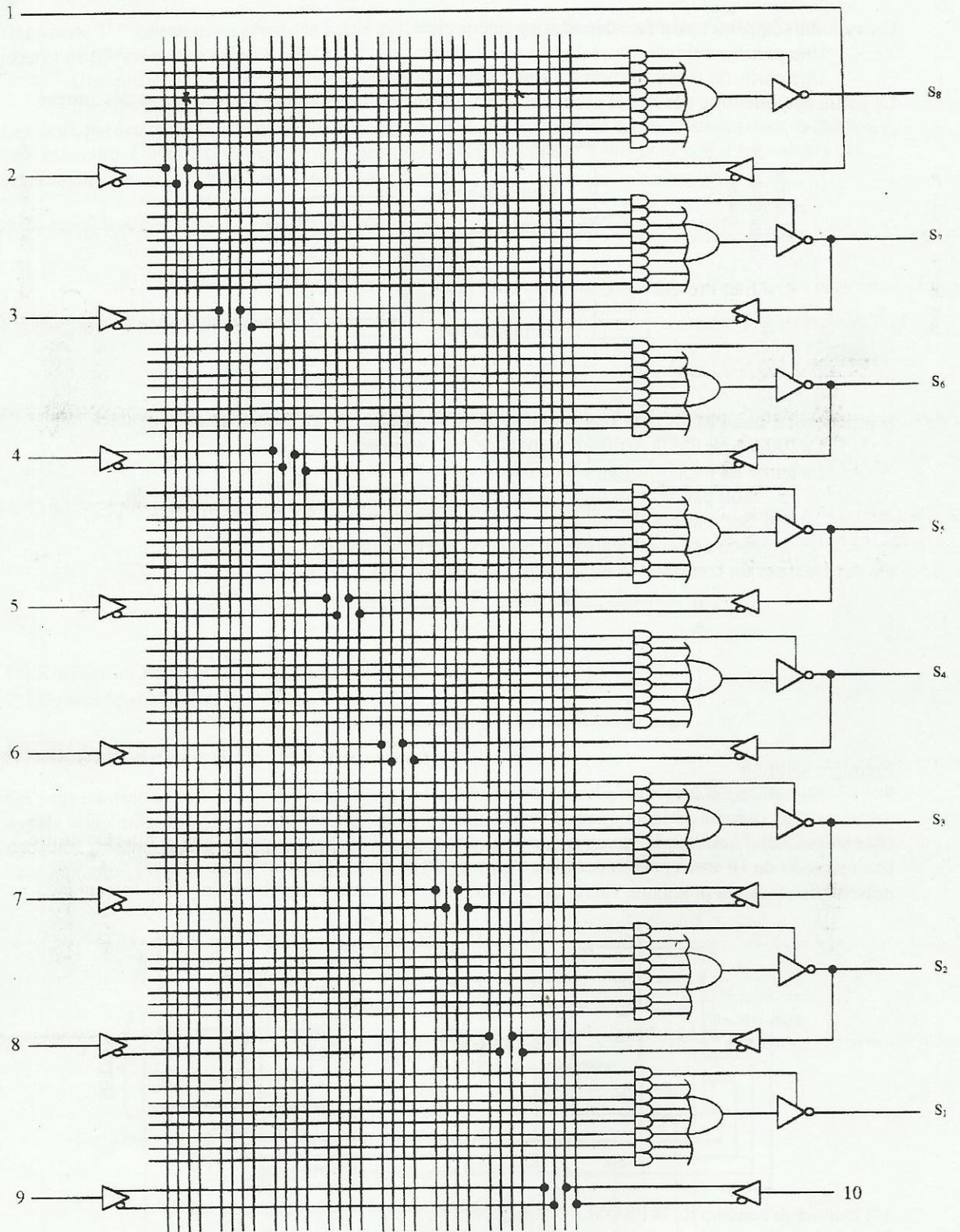
- 1°) Donner le schéma fonctionnel de la PROM (elle possède 2 signaux  $\overline{CE}$  et  $\overline{OE}$ )  
2°) Donner le contenu de la PROM

### EXERCICE 13

On veut réaliser un encodeur de priorité de 10 entrées notées  $I_0$  à  $I_9$  ( $I_9$  étant l'entrée la plus prioritaire). Les entrées sont actives à 1. On doit générer le code binaire sur les sorties  $C_3$ ,  $C_2$ ,  $C_1$ ,  $C_0$  correspondant. Le code est valide en sortie grâce à une entrée de validation VAL active à l'état haut. On veut réaliser la programmation de cet encodeur à l'aide d'un circuit PAL dont la structure interne est représentée sur la figure en annexe 1 ci-après.

- 1°) Donner la désignation de l'élément PAL.  
2°) Ecrire les équations de sorties de l'encodeur et programmer le PAL.

ANNEXE 1

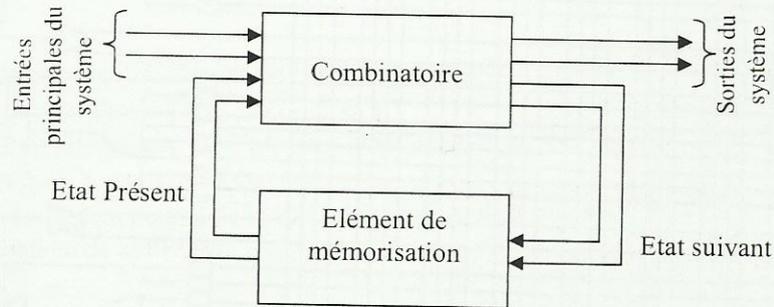


### EXERCICE 14 : Réalisation de système séquentiel à l'aide de PROM

Un système séquentiel peut être décomposé en 2 parties :

- Une partie combinatoire
- Une partie de mémorisation qui représente l'état du système.

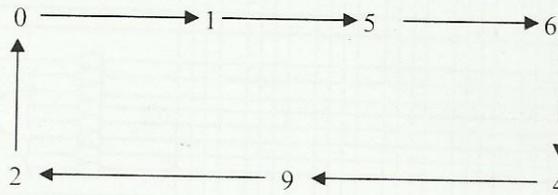
La partie combinatoire génère les sorties et l'état suivant en fonction de l'état présent et des entrées principales.



L'utilisation d'une PROM pour réaliser un système séquentiel se fait de la manière suivante :

- La PROM réalise la partie combinatoire
- La partie de mémorisation est réalisée
  - o Soit par des bascules (registres)
  - o Soit par des compteurs
  - o Soit une combinaison de registres et de compteurs

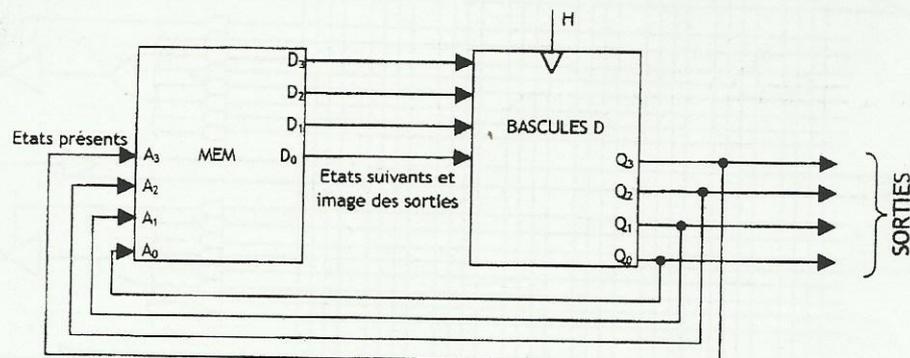
On veut réaliser un compteur ayant le cycle suivant avec une PROM.



#### Première solution

- On utilise l'état suivant pour coder les sorties
- L'état présent est identique à la sortie

On compte 7 chiffres dont le plus grand est 9. Le codage des sorties nécessite donc 4 bits. On utilise une mémoire de 16 cases pour coder toutes les valeurs de sortie. Dans les cases définies par l'état présent, on stocke la prochaine valeur de la sortie. Le schéma de principe obtenu est le suivant.



- 1°) Donner le contenu de la PROM
- 2°) Réaliser le schéma interne d'interconnexion des bascules.

## Deuxième solution

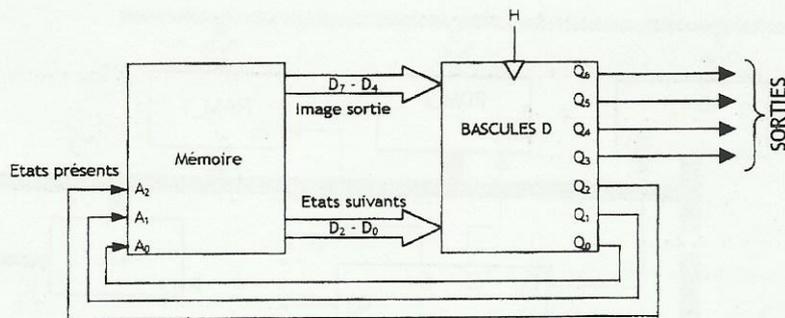
Dans cette 2<sup>ème</sup> solution, on sépare la sortie et l'état suivant qu'il faut alors coder. Cette solution permet de considérer que l'on a :

- Une partie évolution du système décrite par l'état suivant
- Une partie génération des sorties

Les deux parties doivent être présentées simultanément. Cela s'obtient en les stockant dans la même case mémoire. On aura donc besoin de 3 bits pour coder les états et 4 bits pour coder les valeurs des sorties. Chaque mot mémoire aura le format suivant :

D <sub>7</sub> D <sub>6</sub> D <sub>5</sub> D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub> D <sub>1</sub> D <sub>0</sub>
Code sortie		Code état suivant

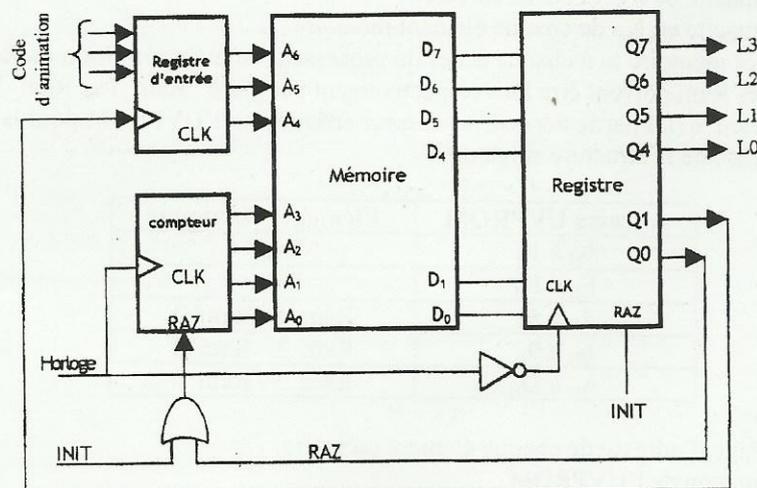
On obtient le schéma suivant :



- 1°) Réaliser les interconnexions des bascules
- 2°) Donner le contenu de la PROM.

## EXERCICE 15

On veut réaliser un système programmable de commande d'un jeu de lumière. Ce système est souvent appelé « chenillard ». On admet que l'on peut commander 4 lampes L0, L1, L2, L3. Une séquence constitue une animation et peut comporter jusqu'à 16 pas. Chaque pas de séquence est stocké dans une case mémoire. Le schéma de fonctionnement est le suivant :



En admettant que chaque animation commence par le chargement du registre d'entrée et se termine par la remise à zéro du compteur.

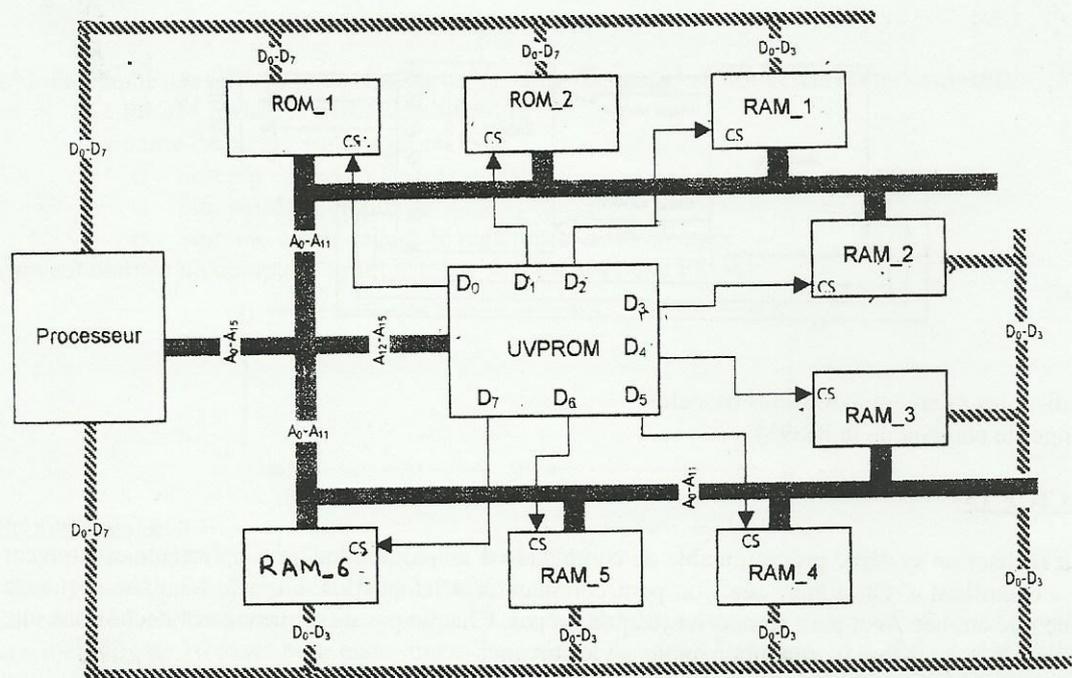
1°) Combien de séquences d'animation peut-on avoir ? Donner-en la plage d'adressage de chacune.

2°) Déterminer la zone de stockage de la séquence 0 dont le code d'animation vaut 0 et donner son contenu permettant de réaliser sur les sorties un registre à décalage qui allume successivement les lampes de gauche à droite et de droite à gauche.

3°) Même question pour la séquence 1 qui allume alternativement les lampes paires puis les lampes impaires.

### EXERCICE 16

Sur la carte à mémoire représentée ci-dessous, une UVPR0M est utilisée pour effectuer le décodage d'adresses.



1°) Déterminer la capacité de l'UVPR0M en octets.

2°) Déterminer la capacité en Ko de chaque élément mémoire.

On précise que le mot mémoire lu à chaque accès du processeur en mémoire (Ram ou Rom) est de 8 bits. Pour ce faire, les Ram doivent être lues respectivement par paire : Ram\_1 et Ram\_2, Ram\_3 et Ram\_4, Ram\_5 et Ram\_6. La partie adresse processeur arrivant sur l'UVPR0M pour la sélection des différents boîtiers présente la structure suivante :

Adresse UVPR0M	Élément sélectionné
0 <sub>H</sub> à 1 <sub>H</sub>	Rom_1
E <sub>H</sub> à F <sub>H</sub>	Rom_2
2 <sub>H</sub> à 5 <sub>H</sub>	Ram_1 - Ram_2
6 <sub>H</sub> à 9 <sub>H</sub>	Ram_3 - Ram_4
A <sub>H</sub> à D <sub>H</sub>	Ram_5 - Ram_6

3°) Déterminer la plage d'adresse de chaque élément mémoire.

4°) Déterminer le contenu de l'UVPR0M.

On veut connecter 3 autres circuits Ram au système. Ces Ram ont chacune une longueur de mot égale à 8 bits et un bus d'adresse de 12 bits.

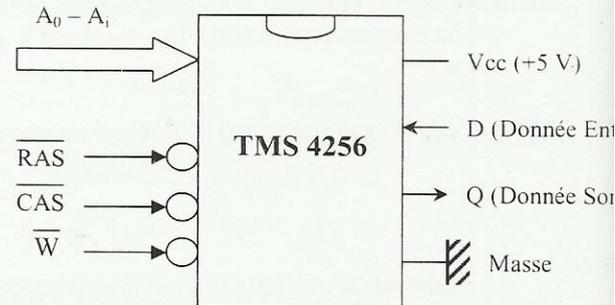
5°) Modifier le schéma pour permettre la connexion de ces 3 circuits Ram supplémentaires.

NB : Aucun autre composant ne doit être apporté au schéma. Seule une modification du câblage est souhaitée.

## ADRESSAGE MEMOIRES DANS LES SYSTEMES A MICROPROCESSEUR

### EXERCICE 1

Le schéma ci-contre est le symbole logique d'un TMS 4256 (Mémoire DRAM 256K x 1)



- 1°) Quelles sont les fonctions des signaux  $\overline{\text{RAS}}$  et  $\overline{\text{CAS}}$  ?
- 2°) Déterminer le nombre d'entrées d'adresse de cette DRAM.
- 3°) Décrivez l'organisation en matrice de cette DRAM.

### EXERCICE 2

Soit un système à microprocesseur de 16 lignes d'adresses, 8 lignes de données adressant 4 mémoires (2 Ram et 2 Rom) via une décodeur 1 parmi 4. Les mémoires sont validées à l'état bas, de même que le décodeur. Chaque mémoire a 8 lignes de données et de capacité 1 Ko. Les lignes  $A_{10}$ ,  $A_{11}$  serviront d'entrées au décodeur (1A, 1B) et les lignes  $A_{12}$  à  $A_{15}$  forcées à 0 zéro (0) serviront à valiser le décodeur. La RAM 1 est sélectionnée par la sortie  $S_0$ , RAM 2 par  $S_1$ , ROM 1 par  $S_2$  et ROM 2 par  $S_3$ .

- 1°) Proposer un schéma de câblage pour ce système.
- 2°) A quelle mémoire appartient l'adresse \$0F00 ? puis l'adresse \$1F00 ?
- 3°) Quelle est la condition pour que une zone mémoire soit accessible dans ce système ?
- 4°) Déterminer la plage de la zone mémoire inaccessible.

**NB :** Les sorties du décodeur sont actives à l'état bas.

### EXERCICE 3

- 1°) Donner les plages d'adresses des éléments mémoires RAM\_1 et RAM\_2 de la figure 1.
- 2°) Quelle est la plage d'adresse et la taille maximale du boîtier sélectionné par la sortie 3 du décodeur 2 de la figure 2 ?

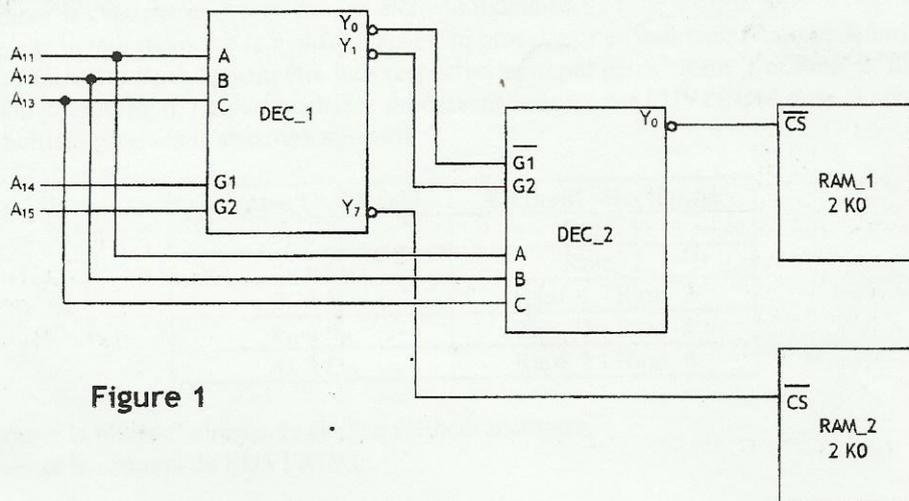


Figure 1

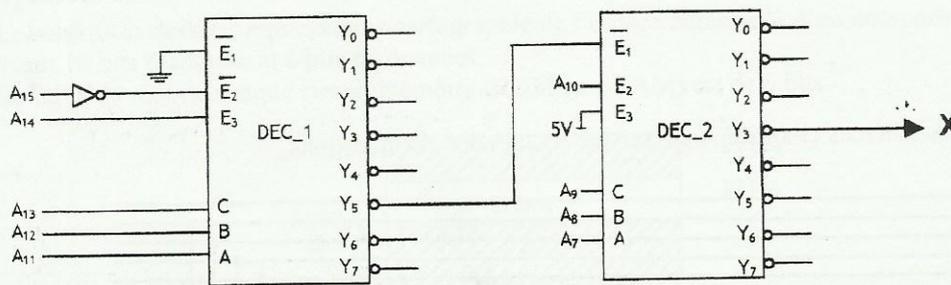
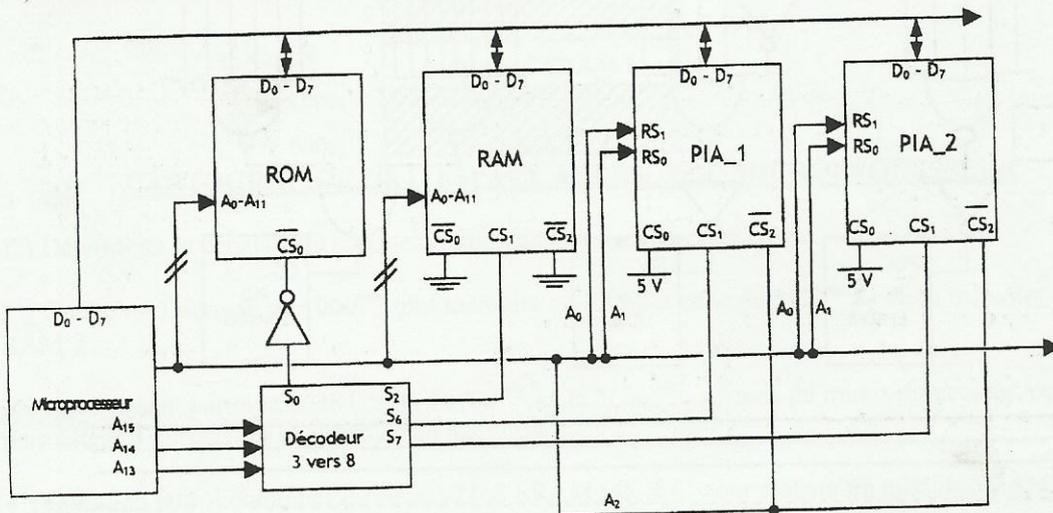


Figure 2

**EXERCICE 4**

On donne le schéma ci-après dans lequel un processeur 8 bits adresse des mémoires et des éléments d'E/S par décodage.

1°) Déterminer la structure d'E/S utilisée. Justifier.



2°) A quel boîtier et à quel octet correspond chacune des adresses suivantes ? : 0000 h, 1000h, C000 h, DFFB h, EFF8 h, F003 h.

3°) Donner toutes les adresses possibles :

- du 2048<sup>ème</sup> octet de la Rom
- du 256<sup>ème</sup> octet de la Ram

4°) Donner 4 adresses possibles

- du 1<sup>er</sup> octet du PIA\_1
- du 3<sup>ème</sup> octet du PIA\_2

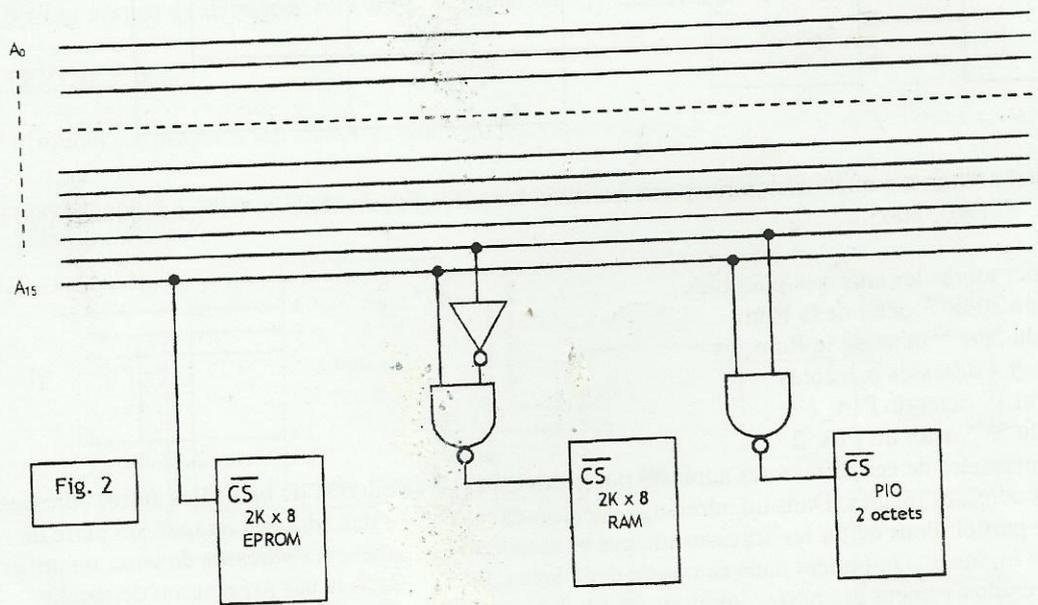
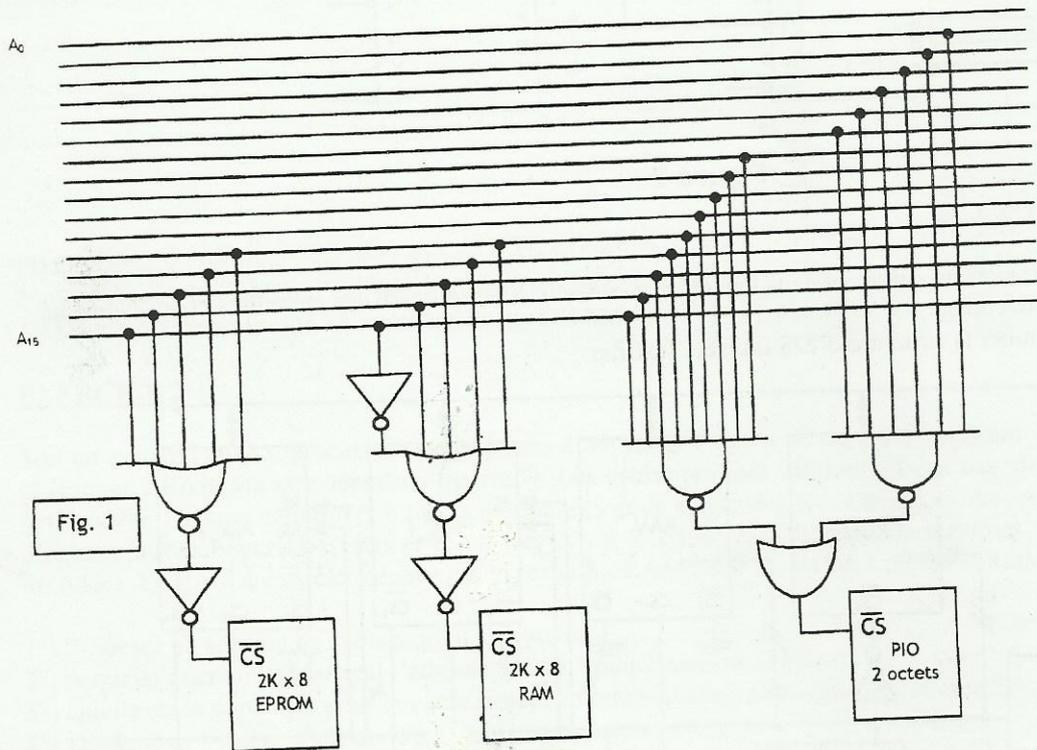
La toute première de ces différentes adresses possibles est appelée adresse de base. Les autres adresses sont dites adresses images. Dans un adressage par décodage, s'il y a des adresses images, on parle de décodage partiel. Pour éviter les adresses images et maintenir seulement les adresses de base, on utilise des portes logiques. On obtient dans ce cas un décodage complet. Dans le cas présent, on demande d'utiliser exclusivement des portes logiques OU et des portes NOR à 4 entrées pour éliminer les adresses images.

5°) Reprendre le schéma en ajoutant les portes logiques OU à 4 entrées pour éliminer les adresses images.

6°) Représenter le mapping des blocs mémoires et PIA sans les espaces libres dans le cas du décodage complet.

### EXERCICE 5

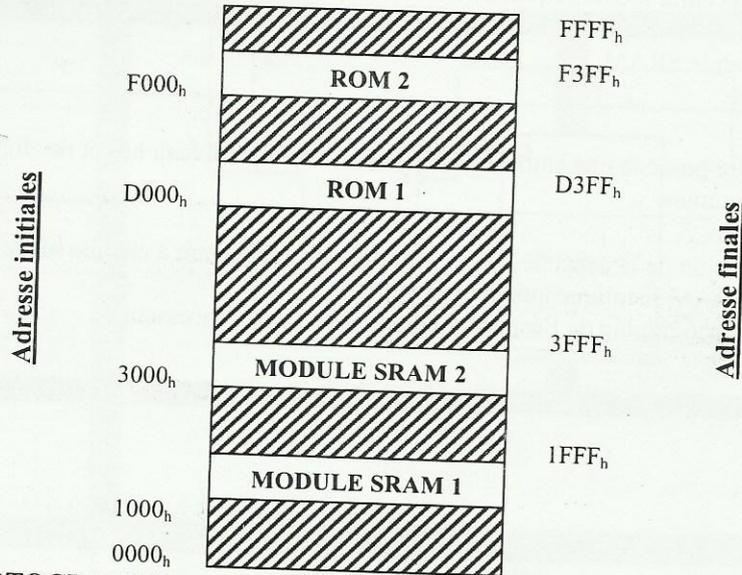
On donne les deux schémas ci-après. Analyser-les et répondre aux questions.



- 1°) Identifier le type de décodage d'adresse sur chacune des figures 1 et 2.
- 2°) Donner si possible les plages d'adresse des éléments mémoires et PIO de chaque cas de figure.

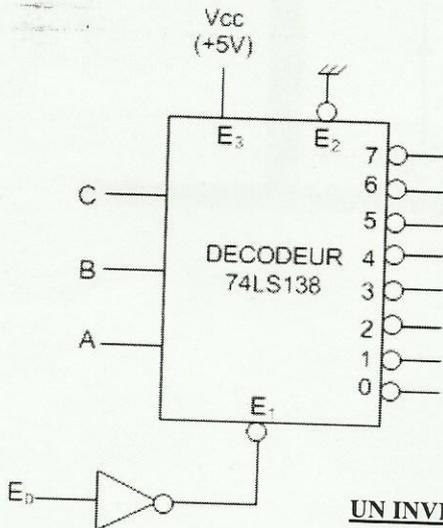
## EXERCICE 6

Le schéma ci-dessous représente la cartographie de l'espace adressable d'un microprocesseur ( $\mu P$ ) ayant 16 bits d'adresse et 8 bits de données.  
La taille du mot de chaque circuit mémoire (ROM ou SRAM) est de 8 bits.



**CARTOGRAPHIE DE L'ESPACE ADRESSE DU MICROPROCESSEUR**

- 1°) Déterminer la capacité de chaque circuit mémoire en kilo-octet (Ko).
- 2°) Quelle est l'adresse du 1000<sup>ème</sup> mot mémoire en ROM et celle du 512<sup>ème</sup> position mémoire en RAM ?
- 3°) Quelles sont parmi la 16384<sup>ème</sup>, la 16400<sup>ème</sup>, et le 54000<sup>ème</sup> adresse du micro-processeur, celles qui permettent d'enregistrer une donnée en mémoire ?
- 4°) Combien faut-il combiner de circuit 2168 SRAM (4K x 4) pour réaliser un module SRAM de la cartographie ci-dessus ?
- 5°) Le décodage des bits de sélection du microprocesseur est réalisé par le dispositif suivant :



Le décodeur est validé par un bit d'adresse du micro-processeur relié à l'entrée  $E_0$  de l'inverseur.  
Les broches  $E_2$  et  $E_3$  du décodeur sont respectivement reliées à la masse et à l'alimentation  $V_{cc}$ .

**UN INVERSEUR RELIE A UN DECODEUR 1 PARMIS 8**

### Travail à faire

Réaliser le schéma de la carte mémoire (connexion entre les différents circuits pour l'adressage des mémoires) correspondant au mapping ci-dessus en présentant l'assemblage des SRAM 4K x 4 constituant chaque module SRAM.

Justifiez votre montage.

#### Précision :

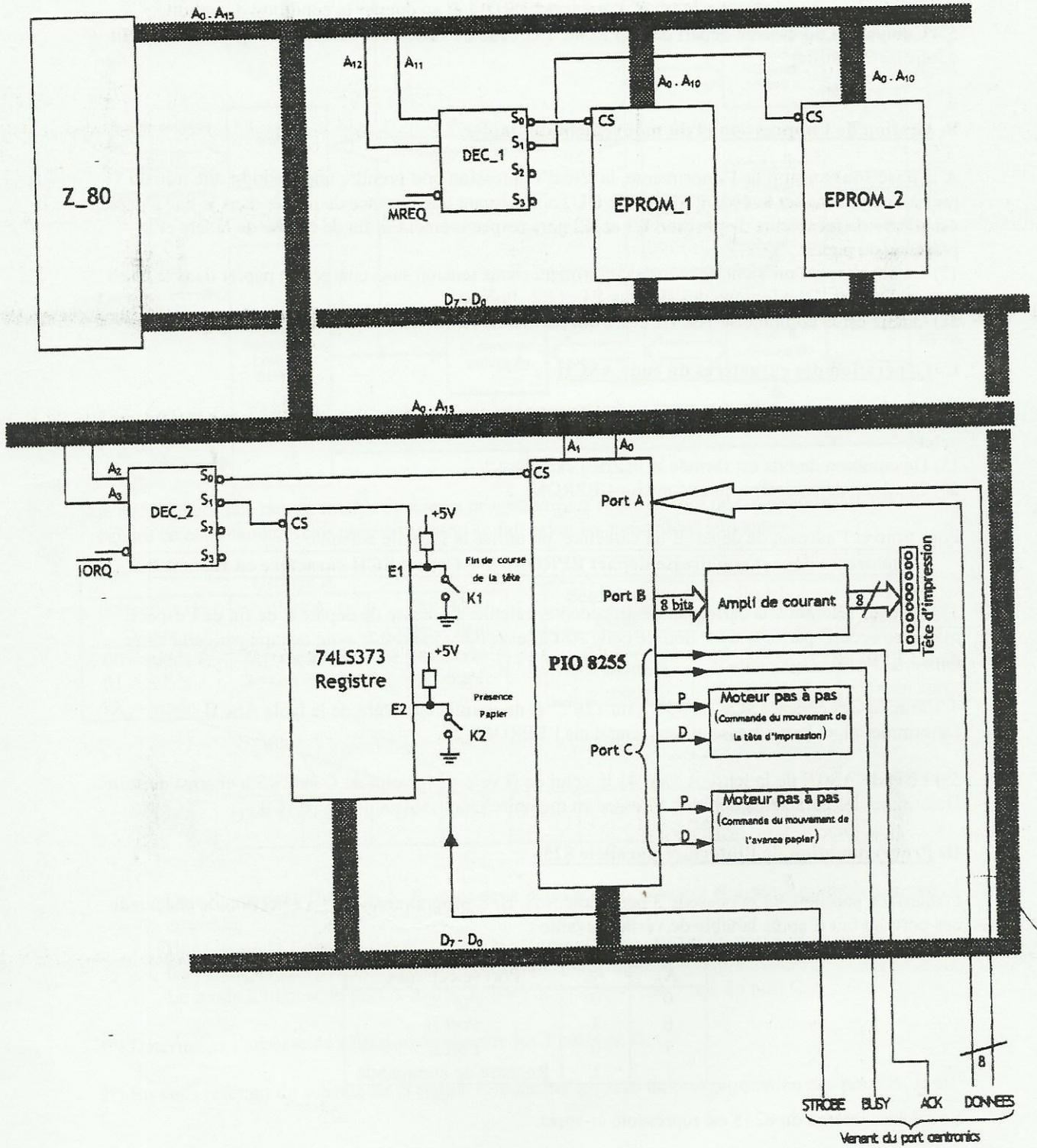
Chaque circuit mémoire possède une entrée de sélection  $\overline{CS}$  vrai au niveau bas et des lignes d'entrée / sortie de données communes.

6°) On effectue l'extension de la capacité de cet ensemble en connectant à chaque sortie libre du décodeur un module SRAM identique aux premiers.

Présenter la nouvelle cartographie de l'espace d'adresses du microprocesseur.

## EXERCICE 7

Le système à microprocesseur du schéma ci-dessous représente la carte électronique qui pilote une imprimante STAR de 9 aiguilles. Ce système est organisé autour du processeur Z80 de Zilog.



### **A- Cartographie**

- 1°) Analyser le schéma et identifier le mode d'adressage et la structure d'E/S utilisé ?
- 2°) Déterminer la capacité de chaque boîtier mémoire EPROM.
- 3°) Déterminer l'adresse de départ du PIO 8255.
- 4°) Etablir la cartographie des boîtiers mémoires EPROM et en donner la condition de validité.
- 5°) Comparer l'adresse de départ de l'EPROM 1 et celle du PIO. Peut-on conclure qu'il a un conflit d'adresse ? Justifier.

### **B- Gestion de l'impression et du mouvement du papier.**

A la mise sous tension de l'imprimante, la tête d'impression doit prendre une position dite initiale (extrémité gauche) et le voyant « PAPER OUT » indiquant une absence de papier dans le bac à papier est allumé. Les capteurs de position K1 et K2 gère respectivement la fin de course de la tête et la présence du papier.

- 1°) On suppose qu'on vient de mettre l'imprimante sous tension sans charger de papier dans le bac à papier. Donner l'état logique des signaux E1 et E2. Justifier.
- 2°) Quelle est la combinaison de E1 et E2 qui permet de lancer une impression ?

### **C- Génération des caractères du code ASCII**

L'EPROM\_2 contient le jeu de caractères ASCII. Chaque caractère est stocké dans cette PROM sur 8 octets.

- 1°) De combien de bits est formée la matrice caractère ?
- 2°) Combien de caractères peut contenir l'EPROM\_2 ?

Pour trouver l'adresse de départ d'un caractère, on utilise la formule suivante :

$$\boxed{\text{@dresse départ} = \text{@dresse départ EPROM\_2} + \text{Code ASCII caractère en Hexa} \times 8}$$

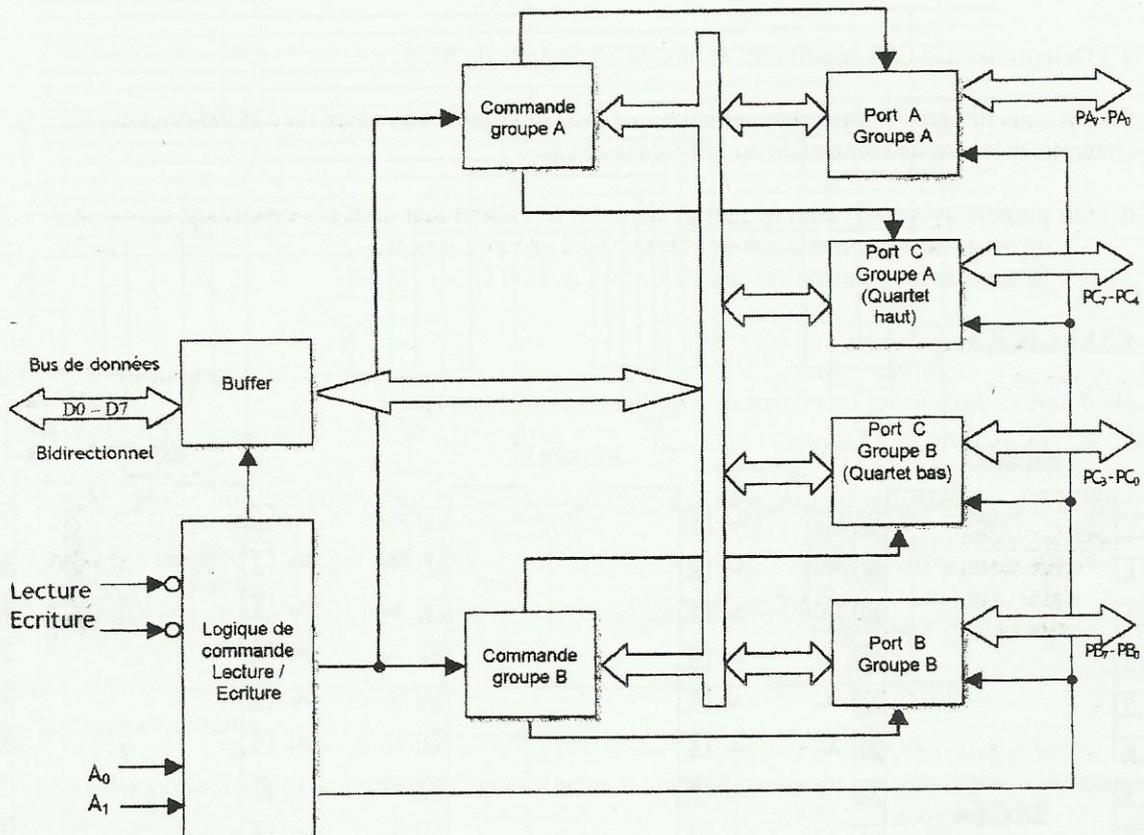
- 3°) En vous référant à la cartographie précédente, calculer l'adresse de départ et de fin de l'espace mémoire occupé par la lettre P dont le code ASCII est 50 h. Quel est le rang occupé par cette lettre dans l'EPROM\_2.
- 4°) Trouver les codes ASCII du 93<sup>ème</sup>, du 129<sup>ème</sup> et du dernier caractère de la table ASCII. Déterminer alors leur adresse et leur rang dans l'EPROM\_2.
- 5°) Le code ASCII de la lettre A vaut 41 h, celui de B vaut 42 h, celui de C vaut 43 h et ainsi de suite. Déterminer les caractères dont les adresses en mémoires sont : 0A58, 0A18, 0AC0.

### **D- Programmation de l'interface parallèle 8255**

L'interface parallèle 8255 possède 3 ports notées A, B, C programmables. La sélection de chacun de ces ports se fait d'après la table de vérité suivante :

A <sub>1</sub>	A <sub>0</sub>	Port sélectionné
0	0	Port A
0	1	Port B
1	0	Port C
1	1	Registre de commande

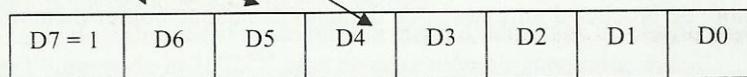
Le schéma interne du 8255 est représenté ci-après.



Le 8255 fonctionne dans 3 modes différents programmés d'après un mot de commande envoyé au registre de commande. Cette programmation se fait selon les indications suivantes :

Groupe A		
Sélection de mode	Port A	Port C Quartet haut
00 = mode 0	0 = en sortie	0 = en sortie
01 = mode 1	1 = en entrée	1 = en entrée
1X = mode 2		

Groupe B		
Sélection de mode	Port B	Port C Quartet bas
0 = mode 0	0 = en sortie	0 = en entrée
1 = mode 1	1 = en entrée	1 = en sortie



- Dans le mode 0, les ports A, B et les deux demi ports C peuvent être programmés en entrée ou en sortie.
- Dans le mode 1 chacun des ports A et B est servi par un quartet du port C. Ces quartets gèrent les échanges en - poignée de main - ou - Handshacking-.
- Le mode 2 impose le port A bidirectionnel qui est servi par 5 bits du port C.

1°) Déterminer l'adresse de sélection de chacun des 3 ports A, B, C.

2°) En vous référant du schéma de la figure 1, identifier les sens de programmation des ports A, B et C.

3°) Déterminer le mode de programmation des groupes A et B.

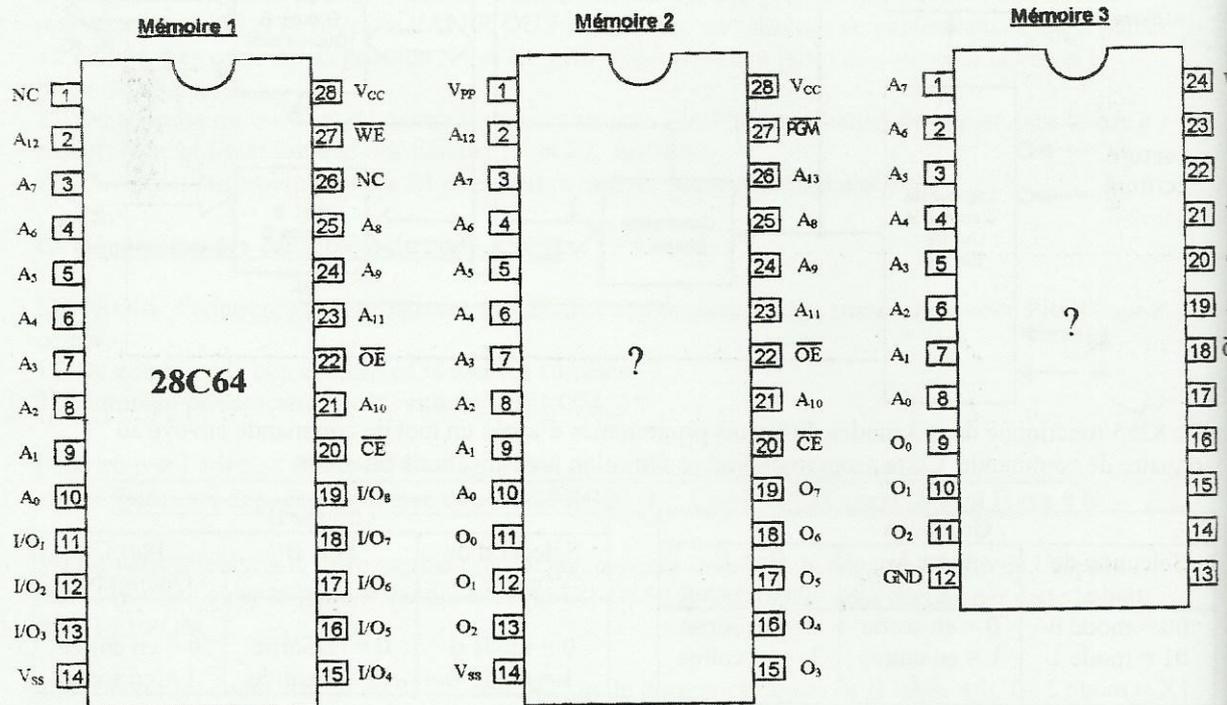
4°) Déterminer dans ces conditions, le mot de commande du 8255.

5°) On vous dit que l'imprimante communique avec le PC sur le principe du « Handshacking ». Déterminer le mot de commande du 8255 dans ce cas.

6°) On suppose avoir 86H comme mot de commande. Déterminer dans ces conditions :  
 - le mode de programmation de chacun des 2 groupes A et B  
 - le sens de programmation de chaque port A, B et C.

### EXERCICE 8

On donne ci-dessous les brochages de 3 boîtiers mémoires mortes.



1°) Identifier le type de mémoire morte représentée sur chaque figure. Justifier.

2°) Déterminer le nombre de broches d'adresses et de données de chaque boîtier mémoire.

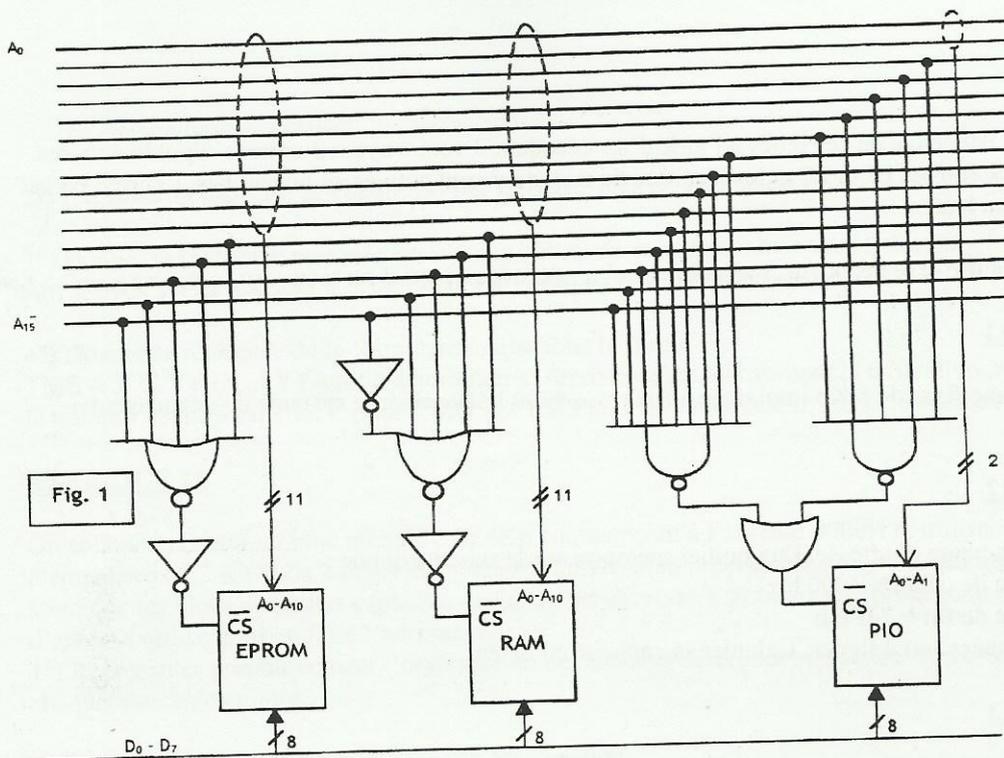
3°) Exprimer la capacité de chacune des mémoires en :

- Mots mémoires
- Kilo octets (Ko)
- Kilo bits (Kbits)

4°) Donner la référence de chacune des mémoires 2 et 3 sachant qu'elles sont de la série 27 et en technologies CMOS.

### EXERCICE 9

On donne en ci-dessous (Fig.1) le schéma de câblage d'une carte unité centrale composée d'une mémoire morte, d'une mémoire vive Ram et d'une Interface parallèle programmable (PIO).



### A - Lecture de schéma

- 1°) Identifier sur le schéma, le nombre de lignes d'adresses et de données du microprocesseur utilisé.
- 2°)
  - a) Déterminer la capacité en kilo octets (Ko), puis sous la forme  $N \times T$  avec  $N$  = nombre de mots mémoires et  $T$  = taille du mot mémoire de chaque élément mémoire.
  - b) Déterminer la capacité totale de la mémoire centrale constituée en Ko.
- 3°)
  - a) Quel est l'état actif de la broche de sélection de ces 3 boîtiers ?
  - b) Déterminer l'équation de sélection de chaque boîtier.
  - c) En déduire la valeur logique que doit avoir chaque bit de sélection pour activer chacun des 3 circuits.
- 4°) Quel est le mode d'adressage utilisé ?

### B- Cartographie

- 1°) Déterminer s'il y a des adresses images. Justifier.
- 2°) Dresser la table des adresses et en déduire la plage d'adressage de chaque boîtier.
- 3°) Déterminer l'adresse de la 3072<sup>ème</sup> case de cette mémoire centrale.
- 4°) Déterminer le boîtier mémoire et le rang de l'emplacement lu lorsque le processeur émet l'adresse 07FFh.

### EXERCICE 10

On considère une carte mémoire contenant les éléments ou blocs suivants :

- Moniteur	: F800 à FFFF
- Circuits d'interface	: F000 à F7FF
- EPROM	: E800 à EFFF
- Bloc_1	: E000 à E7FF
- Bloc_2	: D800 à DFFF
- Bloc_3	: D000 à D7FF
- Bloc_4	: C800 à CFFF
- Bloc_5	: C000 à C7FF

Chacun de ces 8 blocs est sélectionné par un signal « Chip Select » actif au niveau bas.

1°) Réaliser le décodage de ces blocs à l'aide d'un décodeur 3 vers 8 ayant 3 entrées supplémentaires E1, E2, E3. Les entrées E1 et E2 et les 8 sorties du décodeur sont actives au niveau bas, l'entrée E3 est active au niveau haut.

2°) Préciser d'autre si le décodeur 3 vers 8 permet un décodage partiel ou total.

### EXERCICE 11

On dispose d'une Ram de 8 Ko implantée à l'adresse 8000 h. Dessiner le système de décodage des adresses.

### EXERCICE 12

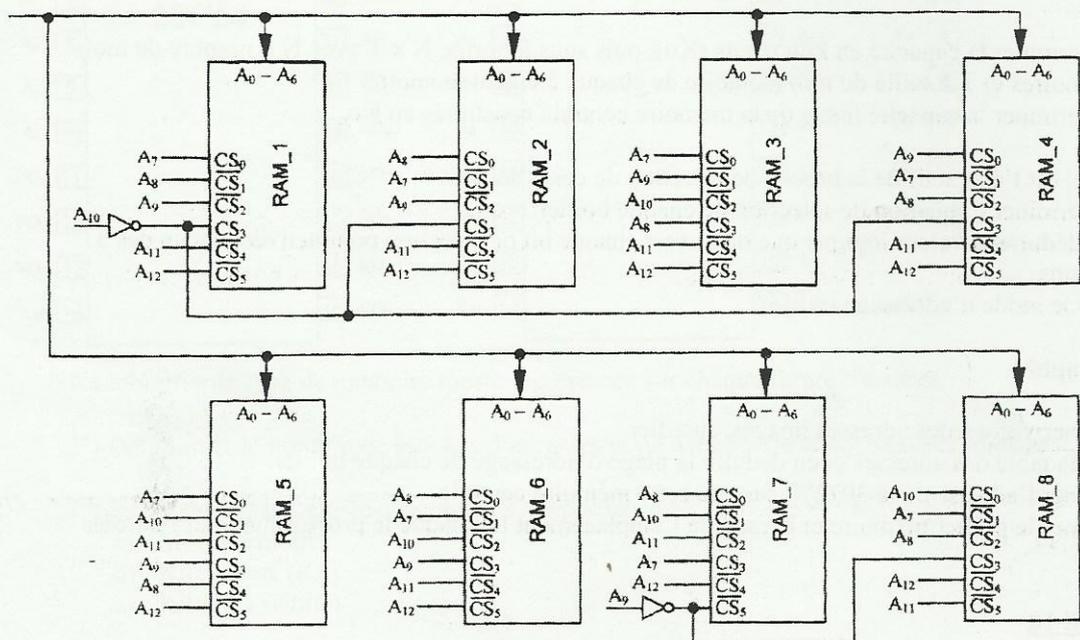
La lecture de la plage d'adresse d'un boîtier mémoire sur le schéma donne :

- adresse de début = 4000 h
- adresse de fin = 74FF h

Son bus de données fait 4 lignes. Calculer sa capacité en octets.

### EXERCICE 13

Analyser le schéma ci-dessous et donner l'adresse de début et de fin de chaque de chaque Ram et la capacité totale de la mémoire réalisée.



### EXERCICE 14

La mémoire d'un système à microprocesseur est constituée des boîtiers suivants :

- boîtiers Ram dynamiques de 16K x 1 bit
- boîtier OT Prom de 1K x 8 bits
- boîtier UV Prom de 512 x 4 bits

1°) Déterminer :

- le nombre de mots mémoires
- le nombre de lignes d'adresses
- le nombre de lignes de données

de chaque type de boîtiers.

2°) Exprimer la capacité de chaque boîtier en octet, puis en kilo octets.

3°) Donner la référence marquée sur chaque boîtier de mémoire morte sous la forme :  
Am 2Y XX ( Y et XX sont à déterminer, Am désignant le constructeur AMD)

4°) Donner la référence de la Ram dynamique sous la forme :  
TMS 4 X C YY (X et YY sont à déterminer et représente respectivement la taille d'un mot mémoire et le nombre de mots en kilo, C pour CMOS et TMS pour le constructeur Texas Instruments).

### EXERCICE 15

On souhaite réaliser un bloc mémoire de 4Ko commençant à l'adresse 0000H et utilisant un bloc élémentaire de 2 Ko et de 2 blocs élémentaires de 1Ko. On précise que les blocs sont organisés de telle sorte que les blocs de petites capacités occupent les adresses supérieures du processeur de 16 bits d'adresse utilisé pour en faire l'adressage.

1°) Représenter graphiquement l'organisation des blocs et déterminer l'adresse de début et de fin de chaque bloc élémentaire.

2°) Dresser la table des adresses de cette organisation.

3°) Ecrire les équations de sélection et réaliser le schéma d'implantation à l'aide de portes logiques.

### EXERCICE 16

On souhaite constituer un bloc de 10 Ko à partir de blocs élémentaires de 4 Ko et de 2 Ko.

1°) Déterminer dans deux cas de figure, le nombre de blocs de 4 Ko et de 2 Ko nécessaires pour constituer le bloc global de 10 Ko.

On impose que les blocs de petites capacités occupent les adresses inférieures du bloc global.

2°) Représenter graphiquement l'organisation des blocs dans les deux cas de figures et déterminer l'adresse de début et de fin de chaque bloc élémentaire si on admet que le bloc global commence à l'adresse 0000H.

3°) Ecrire dans ce cas, les équations de sélection.

### EXERCICE 17

On souhaite insérer, dans un système à microprocesseur ayant un bus d'adresse de 16 bits ( $A_0 - A_{15}$ ), un bus de données de 8 bits ( $D_0 - D_7$ ) et les signaux WR pour l'écriture et RD pour la lecture, les circuits mémoires suivants :

- Une Eprom de 16 Ko implantée à partir de l'adresse 2000H
- Une Eprom de 8 Ko implantée à partir de l'adresse 8000H
- Une Eprom de 4 Ko implantée juste après celle de 8 Ko.

1°) Donner les équations de sélection de ces mémoires.

2°) Réaliser le schéma d'implantation à l'aide d'un décodeur de type 74LS138. Ce décodeur possède :

- 3 entrées de validation  $\overline{G2_A}$ ,  $\overline{G2_B}$  et  $G_1$
- 3 entrées de variables notées A, B, C.
- 8 sorties  $\overline{Y_0}$  à  $\overline{Y_7}$ .

### EXERCICE 18

On considère une mémoire 27C256. On veut déterminer la capacité de la partie accessible et les zones accessibles de cette mémoire si on fixe :

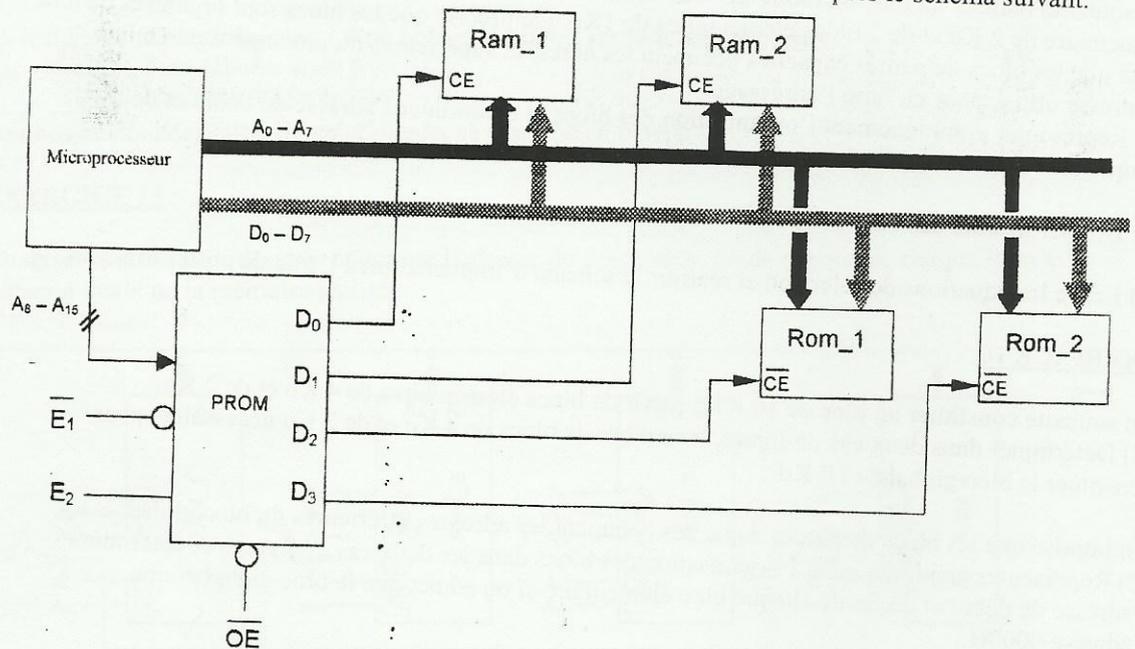
- Son bit de poids le plus fort à 0
- Ces bits  $A_{11} = 1$  et  $A_{13} = 0$

1°) Donner le schéma fonctionnel de la Prom dans chaque cas de figure.

2°) Déterminer la capacité de la partie accessible et les adresses de début et de fin de chaque zone. En déduire dans chaque cas le bit séparateur.

### EXERCICE 19

A/ On réalise le décodage d'éléments mémoire à l'aide d'une PROM d'après le schéma suivant.



1°) Déterminer la capacité de ma PROM en octet et sous la forme Nbre\_Mot x Taille\_Mot.

2°) Déterminer la capacité de chaque élément mémoire.

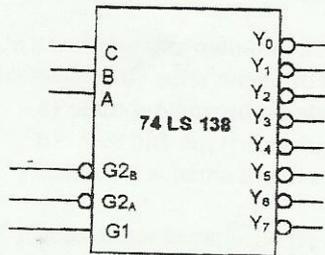
3°) Donner le schéma fonctionnel de la Prom.

4°) Voici les plages d'adresse à imposer à chaque boîtier mémoire.

- Ram\_1 : 2000 - 3CFF
- Ram\_2 : B100 - E9FF
- Rom\_1 : FE00 - FEFF
- Rom\_2 : 1B00 - 1FFF

Donner le contenu de la Prom.

B/ On remplace la PROM par le décodeur suivant :



On effectue les connexions suivantes :

Ram\_1 → Y1  
Ram\_2 → Y5  
Rom\_1 → Y7  
Rom\_2 → Y0  
G2B → A15  
G2A → A14  
G1 → A13  
C → A12  
B → A11  
A → A10

1°) Le décodeur utilise permet-il un décodage complet?

- si oui, justifier et donner la cartographie des éléments mémoires.
- Si non, réaliser le schéma de la carte mémoire avec le décodeur 74 LS 138 permettant un décodage complet. On dressera ensuite la cartographie de la carte mémoire.

## MEMOIRES DE MASSE

### EXERCICE 1

L'espace réservé à 4 dérouleurs de bandes magnétiques en mémoires centrale est organisé comme suit :

Dérouleur 1 : 000000 - 07FFFF  
Dérouleur 2 : 080000 - 09FFFF  
Dérouleur 3 : 0A0000 - 0BFFFF  
Dérouleur 4 : 0C0000 - 0DFFFF

La zone de travail pour exécuter un enregistrement logique étant de 52 Ko pour le dérouleur 1 et de 13 Ko pour les autres dérouleurs calculer :

- 1°) Le facteur de groupage pour chaque dérouleur.
- 2°) La capacité théorique et pratique de la bande de chaque dérouleur sachant que la longueur de bande est de 730 m, la densité d'enregistrement de 1600 BPI, la longueur d'un gap de 1,5 m.
- 3°) Le nombre de gaps approximatifs de la bande de chaque dérouleur.
- 4°) Le nombre de blocs physiques et d'articles de chaque bande.

### EXERCICE 2

Les disques magnétiques utilisent plusieurs modes d'enregistrement des données, modes parmi lesquels on peut citer les modes MFM, RLL, ARLL.

- 1°) Définir les sigles des différents modes cités.

Le mode MFM se présente comme suit. Il y a polarisation (inversion) du champ magnétique au milieu du temps de base (intervalle de temps régulier) dans un sens ou dans l'autre pour les bits à 1. Pour les bits à 0, il n'y a pas de changement du sens d'alimentation. Mais si deux bits à 0 se suivent, il y a polarisation par rapport à l'alimentation précédente au signal d'horloge pour les séparer.

- 2°) Représenter sur 3 chronogrammes différents les nombres suivants codifiés en mode MFM :

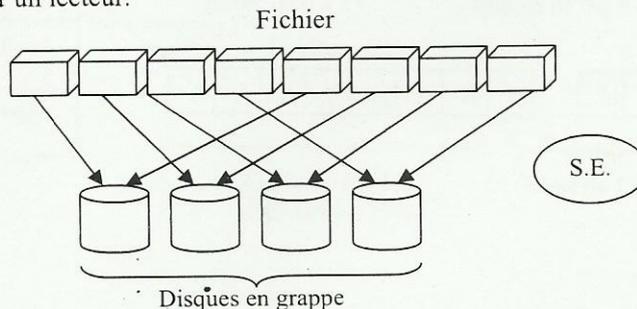
- $FOA_{(16)}$
- $7025_{(8)}$
- $2255_{(10)}$

### EXERCICE 3

Le serveur d'un réseau local est équipé de 4 disques de 40 Go, ATA 100 (UDMA 100) chacun. La carte mère de ce serveur utilise la technologie RAID (Redundant Array of Independent Disks) où plusieurs disques durs sont reliés entre eux formant un grappe de disques dont chaque disque tourne à la même vitesse. L'ordinateur considère que cet ensemble est un lecteur unique. Il existe en fait plusieurs niveaux de RAID dont le RAID 0 et le RAID 1 :

- Le mode RAID 0 ou « striping » (mode le plus rapide) permet de relier en grappe jusqu'à 4 disques en un seul ensemble logique. Le contrôleur lit et écrit alors simultanément les données sur tous les disques, augmentant la performance du disque car le travail est reparti uniformément entre les lecteurs de l'ensemble.

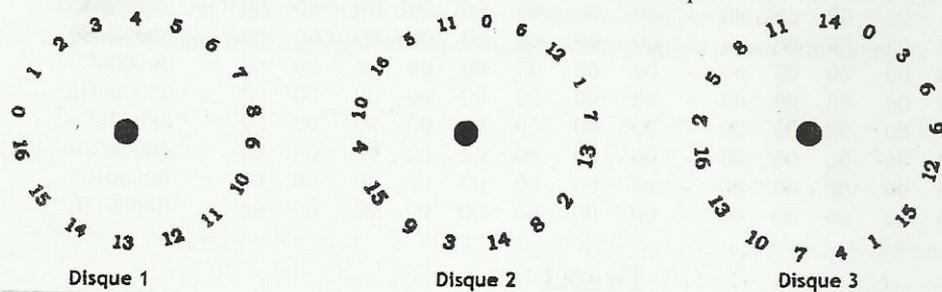
- Le mode RAID 1 ou « mirroring » signifie que les mêmes données sont envoyées aux autres disques durs, de façon à ce que les autres disques supplémentaires continuent le travail en cas de défaillance d'un lecteur.



- 1°) Le schéma ci-dessus décrit l'un des deux modes précédemment présenté. Identifier lequel.
- 2°) Déterminer le taux de transfert de chaque disque (le taux de transfert exprimé en Mo/s est la quantité de données chargées à partir d'un disque vers la mémoire centrale pour traitement et inversement dans un temps donné (1 seconde).
- 3°) Déterminer le temps mis pour l'enregistrement d'un fichier de 96 Go en mode RAID 0 et en mode RAID 1.
- 4°) Combien de temps prendra la sauvegarde des 4 disques sur une bande de 180 Go si le lecteur de bande admet un taux de transfert de 6 Mo/s ?
  - a) En mode RAID 0
  - b) En mode RAID 1
 Déterminer l'espace de bande restant (libre) dans chaque cas.

#### EXERCICE 4

- 1°) Donner la définition du facteur d'entrelacement d'un disque.



Les schémas ci-dessus représentent 3 disques avec un entrelacement différent.

- 2°) Déterminer le facteur d'entrelacement de chacun de ces 3 disques.
  - 3°) On suppose que tous ces disques tournent à 3600 tpm. Déterminer le temps mis par chaque contrôleur de disque pour lire un fichier enregistré sur une piste entière.
  - 4°) Déterminer la vitesse de rotation de chaque disque si le temps mis pour lire un fichier occupant une piste entière est le même pour tous les disques et égale à  $y$  ms.
  - 5°) Application numérique :  $Y = 24$  ms. Calculer  $V_1$ ,  $V_2$ ,  $V_3$  vitesses de rotation respective des 3 disques.
- On enregistre un fichier de 168 Ko occupant des pistes contiguës sur le disque 2. On admet que ce disque tourne à 3600 tpm et possède 63 secteurs par piste.
- 6°) Déterminer le nombre de tours du disque et le temps mis pour lire ce fichier.

#### EXERCICE 5

On enregistre un fichier de 1,5 Ko sur un disque dur dûment préparé et ayant les caractéristiques suivantes : capacité : 84 Go, 512 Ko/cluster, 1 secteur = 512 octets.

- 1°) Déterminer le nombre de secteurs par cluster.
- 2°) Quelle est la capacité disque perdue à cause de ce fichier. A quelle condition cette capacité perdue peut-elle être utilisable ?
- 3°) On fait l'expérience de dupliquer le fichier de 1,5 Ko  $p$  fois sur le disque jusqu'à ce que ce dernier soit plein. Déterminer  $p$  dans ce cas. A quelle condition cette duplication est-elle possible ?
- 4°) En déduire l'espace total perdu sur le disque et conclure quant à l'enregistrement de fichiers de petites tailles sur des disques de grands clusters.

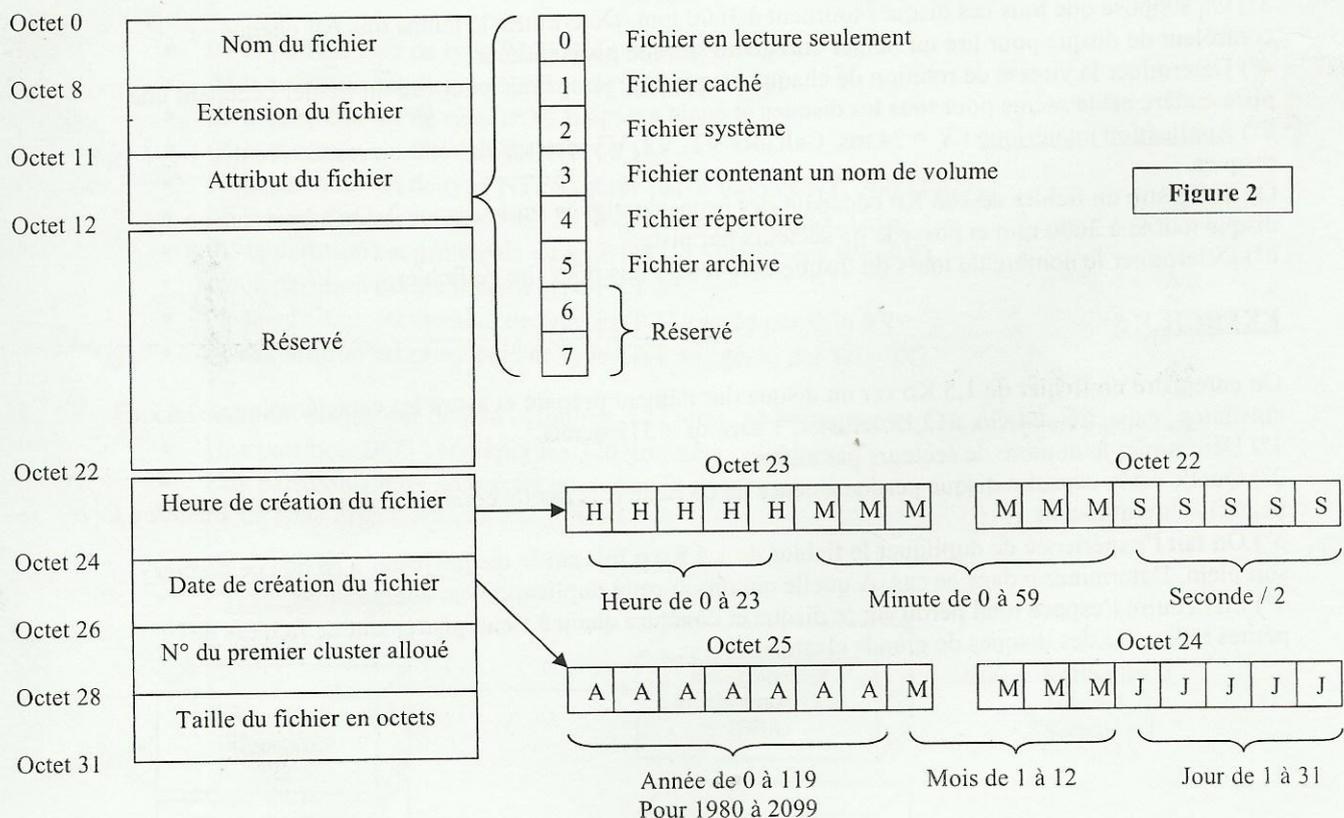
## EXERCICE 6

Le vidage hexadécimal du répertoire racine (Root Directory) situé dans le secteur 19 (un secteur fait 512 octets) d'un disque visualisé grâce à l'utilitaire DISKEDIT des Norton Utilities est représenté sur la figure 1. La partie Offset de cette figure représente les adresses de chaque octet dans le secteur.

Secteur 19																	Offset	
E5	7E	00	57	00	52	00	44	-	00	33	00	0F	00	57	34	00	:	00000000
31	00	31	00	2E	00	74	00	-	6D	00	00	00	70	00	00	00	:	00000010
41	57	41	44	4A	49	20	20	-	58	4C	53	20	00	AE	82	44	:	00000020
67	24	67	24	00	00	34	44	-	57	17	0F	00	00	4E	00	00	:	00000030
E5	4F	43	31	20	20	20	20	-	44	4F	43	20	00	34	72	44	:	00000040
67	24	67	24	00	00	75	44	-	67	24	02	00	00	1A	00	00	:	00000050
42	54	53	20	20	20	20	20	-	44	4F	43	22	00	AE	82	44	:	00000060
67	24	67	24	00	00	61	60	-	2D	2D	00	01	00	1A	00	00	:	00000070
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	00000080
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	00000090
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000A0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000B0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000C0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000D0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000E0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	000000F0
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	00000100
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	:	00000110

Figure 1

La figure 2 représente les différents paramètres d'une entrée et une seule du répertoire racine.



Remarques :

- La zone contenant des 0 de la figure 1 indique des entrées libres
- Le premier octet du nom d'un fichier supprimé est codé ES
- Une entrée de répertoire racine tient sur 32 octets.

1°) Déterminer le nombre d'entrées du répertoire racine représenté sur la figure 1. Déterminer le nombre d'entrées qui peuvent tenir dans le secteur 19. Donner l'offset de départ de la dernière entrée du secteur 19.

2°) Combien de fichiers ne sont-ils pas effacés ? Déterminer les caractéristiques suivantes de ces fichiers.

- a) Nom + extension. En déduire sous quelle application chacun de ces fichiers a été créé.
- b) Attribut
- c) Date et heure de création ou de dernière modification
- d) Numéro du premier cluster alloué
- e) Taille en Ko.

On précise que le code ASCII de la lettre A est  $41_{(16)}$ , de la lettre B est  $42_{(16)}$  et ainsi de suite. Un espace vide est codé 20H et le point n'est pas codé.

3°) Combien de fichiers ne peuvent-ils pas être listés avec la commande MS-DOS DIR ? Donner l'offset de départ de ces fichiers.

On donne ci-dessous le chaînage dans la première copie de la FAT (File Allocation Table) de l'un des fichiers traités précédemment. La première entrée de la FAT porte le numéro 2.

		0	0	0	0	0	0	
0	0	0	0	0	0	0	0	16
17	18	19	20	21	22	23	24	
25	26	27	28	29	30	31	32	
33	34	35	36	37	38	39	40	
41	42	43	44	45	46	47	48	
49	50	51	52	53	<EOF>	0	0	
0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	0	

4°) A quel fichier appartient ce chaînage ?

5°) Quel est la taille d'un cluster ? Déterminer le nombre de secteurs par cluster.

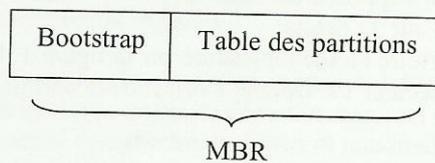
6°) En déduire le type du disque sur le lequel ce fichier est enregistré.

**EXERCICE 7**

Pour lire le système d'exploitation sur le disque dur à la mise sous tension du PC, un programme du BIOS appelé Bootstrap loader, cherche d'abord l'adresse d'une partition dans la table des partitions.

L'entrée de la table des partitions pointe alors vers le premier secteur de la partition qui contient le code de démarrage du système d'exploitation (DBR dans le cas du DOS) permettant de démarrer à partir d'elle.

Le MBR (Master Boot Record), enregistrement principal de démarrage situé dans le premier secteur, cylindre 0, tête 0 de tous les disques durs, contient la table des partitions et un fragment de code exécutable : le Bootstrap.



Le Bootstrap (exécuté par le chargeur de Bootstrap) examine la table des partitions où chaque partition est repérée par un ensemble de 64 bits d'informations présenté ci-dessous et identifie la partition système (partition active). La table des partitions commence à l'offset 1BE du premier secteur, cylindre 0, tête 0.

Taille	Description
1 octet	80 h : partition système 00 h : partition non système
1 octet	Numéro tête de départ
6 bits	Numéro secteur de départ
10 bits	Numéro cylindre de départ
1 octet	ID système
1 octet	Numéro tête finale
6 bits	Numéro secteur final
10 bits	Numéro cylindre final

Figure : 1

Selon la valeur de ID système, le système peut repérer différents types de partitions. Si ID système vaut :

- 01 la partition est de type FAT 12 ( $\leq 32$  Mo)
- 04 la partition est de type FAT 16 ( $\leq 64$  Mo)
- 05 la partition est de type DOS étendue
- 06 la partition est dite BIGDOS FAT 16
- 07 la partition est de type NTFS (gérée par Windows NT, 2000 PRO)
- 08 la partition est de type Non DOS (par exemple Linux, Unix)
- 0B la partition est principale de type FAT 32 (gérée par Win 9X)
- 0C la partition est étendue de type FAT 32
- 0E la partition est étendue de type FAT 16 (gérée par Win 9X)
- 0F la partition est principale de type FAT 16 (gérée par Win 9X)

On considère un disque dur de 896 cylindres, 127 têtes, 63 secteurs par piste divisé en 2 partitions :

- Une partition DOS contenant les 320 premiers cylindres.
- Une partition Linux contenant les autres derniers cylindres.

Le schéma de cette organisation est la suivant :

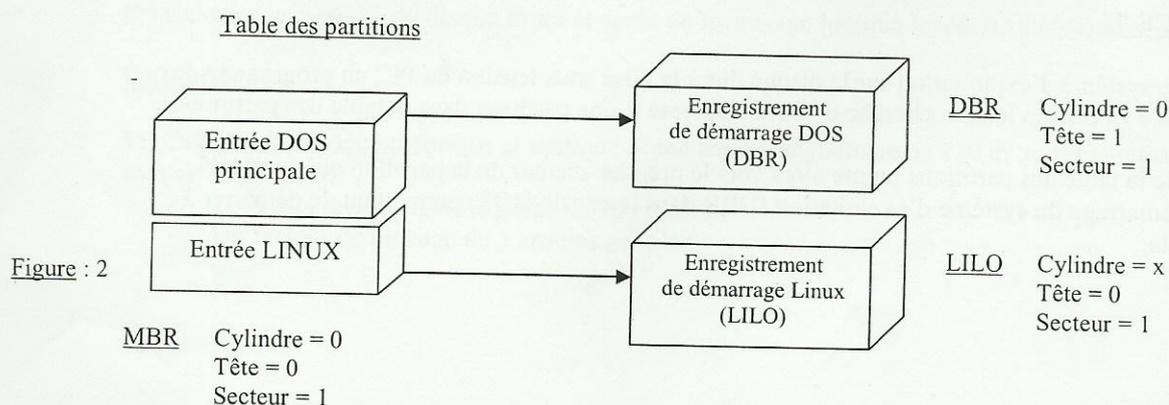


Figure : 2

1°) Déterminer le nombre x représentant le numéro du cylindre de départ de la partition de Linux de la figure 2.

2°) Calculer la taille de chaque partition en Mo si un secteur vaut 512 octets.

3°) En consultant le mapping de la figure 1

- a) Déterminer
  - le numéro minimal de tête de départ et maximal de tête finale
  - le numéro minimal de secteur de départ et maximal de secteur final
  - le numéro minimal de cylindre de départ et maximal de cylindre final.

En déduire la taille de la partition que l'on peut gérer.

- b) si on admet qu'à la mise sous tension du PC dont le disque possède la table des partitions schématisée sur la figure 2, celui-ci démarra sur Windows 98, donner le vidage hexadécimal de cette table de partition.

4°) Déterminer l'offset de fin de cette table des partitions.

On donne le vidage hexadécimal suivant d'une table des partitions d'un disque dur équipant un PC.

00 01 04 01 0B 05 89 FF  
80 00 8A01 07 05 FD FF

5°) Déterminer, en vous référant à la figure 1 et 2,

- a) le nombre et le type de partitions enregistrés dans la table des partitions.
- b) Le cylindre, le secteur, la tête de départ et de fin de chaque partition.
- c) Quel est le système d'exploitation qui est chargé en mémoire centrale à la mise sous tension de l'ordinateur ?.

6°) Déterminer la taille de chaque partition.

### EXERCICE 8

La plaque signalétique d'un disque dur porte les inscriptions suivantes :

Cylinder : 6144  
Head : 16  
Sector : 63

L'accès au setup du BIOS donne les informations suivantes :

<u>Cylinder</u>	<u>Head</u>	<u>Sector</u>	<u>Landz</u>
6144	16	63	6143

1°) Définir le paramètre Landz et expliquer la différence de chiffre entre : cylindre = 6144 et Landz = 6143

Ce disque dûment préparé comporte 2 zones : une zone système et une zone de données. La zone système comprend : Le MBR (1 secteur), l'amorce (5 secteurs), les 2 copies de la FAT (le type de FAT utilisé est la FAT 16 avec 16 secteurs par cluster), le répertoire racine (Root Directory) dont une entrée fait 32 octets possède 2048 entrées. On admet qu'un secteur fait 512 octets.

2°) Calculer la capacité du disque avant et après un formatage logique (capacité théorique et pratique).

### EXERCICE 9

1°) Calculer la capacité théorique et pratique d'une bande magnétique de 730 m où les enregistrements sont effectués avec :

- 1260 quartets sur une longueur de 100 mm
- Un facteur de blocage de 5 articles par bloc

- 150 caractères par articles
- 1,5 cm de gap

2°) Reprendre les mêmes calculs avec un facteur de blocage de 8 et conclure.

### EXERCICE 10

On considère un disque dur de 811 Mo sur lequel des secteurs ont été trouvés défectueux. Ces secteurs appartiennent aux clusters suivants :

- cluster 7 (1 secteur défectueux)
- cluster 11 (6 secteurs défectueux)
- cluster 19 (tous les secteurs sont défectueux)
- cluster 23 (2 secteurs défectueux)

Un secteur fait 512 octets et un cluster 32 Ko.

1°) Déterminer le nombre de secteurs par cluster.

2°) Quel est l'espace disque perdu à cause de la défectuosité des différents secteurs ci-dessus désignés ?

3°) Quelle solution peut-on préconiser pour réduire cet espace perdu au maximum ? Calculer à nouveau l'espace minimum et maximum perdu.

### EXERCICE 11

On donne les définitions suivantes :

- a) Deux fichiers sont dits croisés s'ils ont au moins un cluster en commun.
- b) On parle de chaîne circulaire si dans le chaînage des clusters d'un fichier, on fait référence à un même cluster plus d'une fois.
- c) Un cluster est dit perdu ou orphelin si dans l'entrée de la FAT, il est marqué utilisé, mais n'appartient au chaînage d'aucun fichier.
- d) Un fichier est dit fragmenté si le chaînage contient des clusters non contigus.

On présente ci-dessous la partie non vide du répertoire racine et la FAT d'un disque dur. On suppose qu'un cluster fait 16 secteurs et un secteur contient 512 octets.

Répertoire racine						
Nom	Ext.	Attribut	Date de création	Heure de création	N° premier cluster	Taille en octets
ORDRES	DAT	Archive	10/29/92	11 :23 :44	40	91 120
MSCDEX	SYS	Système	05/01/03	07 :38 :41	02	48 072
CERCLE	PAS	Archive	05/01/03	08 :55 :02	04	688
RACAP	XLS	Archive	05/01/03	10 :01 :27	07	16 791
PROJET	PPT	Archive	05/01/03	16 :42 :33	57	27 584
LISEZMOI	TXT	Archive	19/01/01	23 :12 :10	62	106 240
MISSION	DAT	Cache	23/09/84	14 :15 :16	94	99 442
MSTWIN	DLL	Système	26/06/96	11 :33 :26	26	10 105
ASSIST	COM	Système	19/09/02	17 :21 :36	08	61 952
DOLLAR	OVL	Caché	23/12/02	08 :55 :13	37	33 191
ESSAI	TXT	Archive	01/05/92	09 :45 :08	16	156 102
SOUTIEN	DOC	Archive	04/01/03	19 :15 :13	38	225

Table d'allocation des fichiers (FAT)		Table d'allocation des fichiers (FAT)		Table d'allocation des fichiers (FAT)		Table d'allocation des fichiers (FAT)	
Numéros des entrées	Contenu des entrées						
02	03	26	27	51	77	76	58
03	29	27	04	52	51	77	78
04	EOF	28	EOF	53	52	78	79
05	EOF	29	30	54	53	79	28
06	05	30	80	55	54	80	81
07	06	31	32	56	55	81	EOF
08	09	32	60	57	76	82	EOF
09	10	33	EOF	58	59	83	82
10	11	34	33	59	57	84	83
11	12	35	34	60	61	85	84
12	13	36	35	61	EOF	86	85
13	14	37	36	62	63	87	86
14	15	38	EOF	63	64	88	87
15	EOF	39	00	64	65	89	88
16	17	40	41	65	66	90	89
17	18	41	42	66	67	91	90
18	19	42	43	67	68	92	91
19	20	43	44	68	69	93	92
20	21	44	45	69	70	94	93
21	22	45	46	70	71	95	00
22	23	46	47	71	72	96	00
23	24	47	48	72	EOF	97	EOF
24	25	48	49	73	EOF	98	00
25	26	49	50	74	00	99	00
		50	100	75	EOF	100	EOF

- 1°) Déterminer les fichiers qui possèdent les erreurs a et b.
- 2°) Y a-t-il des clusters orphelins ? Lesquels ? Déterminer l'espace disque qui pourrait être récupéré à la suppression du contenu de ces clusters perdus.
- 3°) Donner le chaînage des fichiers fragmentés.
- 4°) Calculer l'espace disque perdu à la fin des chaînages de chaque fichier ne contenant pas d'erreur et l'espace disque total perdu dû à ces fichiers.

### EXERCICE 12

On considère un disque ayant 10 pistes par face et 2 plateaux. Chaque piste fait 18 secteurs de 512 octets chacun. Un fichier de 252 Ko non fragmenté est enregistré sur ce disque. Le premier cylindre de ce disque est entièrement occupé par les enregistrements systèmes. La zone de données commence à partir du cylindre suivant où le fichier est enregistré.

- 1°) Numéroter les cylindres, les têtes et les pistes du disque.
- 2°) Déterminer le nombre de cylindres occupés par le fichier.
- 3°) Décrire le cheminement que le contrôleur impose aux têtes pour lire entièrement le fichier (il s'agit d'indiquer les numéros des têtes, des cylindres et des têtes dans l'ordre chronologique).

## PERIPHERIQUES D'E/S : ECRAN, IMPRIMANTE, SCANNER...

### EXERCICE 1

Les caractéristiques d'un scanner à plat sont les suivantes : Agfa Snapscan E20 : 1200 x 2400 dpi, 36 bits USB.

- 1°) Que représente le chiffre 2400 ? De quoi dépend-il ?
- 2°) Combien de points sur une ligne horizontale de 297 cm ce scanner numérise-t-il une image ?
- 3°) Que représente le chiffre 1200 ? De quoi dépend-il ?
- 4°) Combien de points sur une ligne verticale de 210 cm ce scanner peut-il numériser une image ?

Les 36 bits représentent la profondeur de couleur par point. L'inscription USB indique que le scanner se connecte au PC via le port série USB dont le débit vaut 12 Mbits/s.

- 5°) En combien de temps ce scanner pourra-t-il transférer une photo couleur d'une taille de 15 mm x 110 mm en mémoire centrale ?

### EXERCICE 2

On donne une image contenue sur du papier au format A4 (21 cm x 29,7 cm). On la numérise avec une résolution de 300 x 600 ppp. Un point est codé sur 8 bits par couleur primaire.

- 1°) Calculer la capacité mémoire occupée par cette image.
- 2°) La source lumineuse est déplacée par un moteur pas à pas. Calculer le pas de ce moteur en mm.
- 3°) Calculer le nombre de fois que le moteur doit d'arrêter et redémarrer pour numériser l'image du papier A4.
- 4°) Si la numérisation complète du papier A4 dure 30 secondes, déterminer le nombre de fois par seconde que l'on a un arrêt et un redémarrage du moteur pas à pas.

### EXERCICE 3 (BTS session 2002, filière 2IM)

Soit à digitaliser une image de 11 x 8,5 pouces.

- 1°) Quelle sera la taille du fichier généré si la numérisation s'effectue avec une précision de 72 dpi et une dynamique (profondeur) de 8 bits ?
- 2°) Reprendre la même question si la précision est de 300 dpi avec une dynamique de 24 bits.

### EXERCICE 4

Les imprimantes à jet d'encre les plus en vogue utilisent la technologie dite à jet d'encre à la demande. Elles fonctionnent avec des encres liquides, une pour chaque couleur de base (magenta, cyan et jaune), auxquelles s'ajoute une quatrième encre pour le noir. Chaque encre est contenue dans un réservoir relié à la tête d'impression. Cette dernière est composée d'un nombre variable de buses (entre 48 et 128). Une buse est un tuyau très fin (entre 20 et 50  $\mu\text{m}$  de diamètre) d'où sort l'encre pour aller s'écraser sur le papier. Pour éviter les éclaboussures et permettre à l'encre de tomber à l'endroit désiré, l'extrémité de la buse répond à une géométrie fort complexe.

La tête d'impression, tout en couissant le long d'un axe, à moins d'un millimètre de la feuille de papier, envoie des giclées de gouttelettes minuscules (jusqu'à 20000 gouttes par seconde). On considère que cette imprimante effectue l'impression d'une image avec une résolution de 300 x 300 dpi. Cette image à imprimer sur une feuille au format 297mm x 210mm a une dimension de 254mm x 180 mm. Le volume des gouttes d'encre est si petit qu'un récipient de 1 litre peut en contenir jusqu'à 3 milliards.

- 1°) Déterminer le nombre de gouttes et le volume d'encre nécessaire à l'impression de cette image.

On veut imprimer avec cette même imprimante un document de 98 pages. En tenant compte des espaces entre les caractères d'une part et entre les mots d'autre part, on peut imprimer 80 caractères par ligne. Les retraits gauche et droit de la page sont de 1,5 cm de chaque côté. La zone imprimable est

délimitée en haut et en bas de la feuille par un retrait de 2,5 cm. Une page comporte 40 lignes avec une matrice caractère moyenne de 144 points.

- 2°) Déterminer la vitesse d'impression de l'imprimante.
- 3°) En combien de temps l'impression du document sera-t-elle terminée ?
- 4°) Déterminer la quantité d'encre utilisée.

### **EXERCICE 5**

L'impression sur une imprimante Laser passe par des étapes bien précises. Ces étapes sont citées dans le désordre tel que ci-dessous.

- ① Nettoyage et neutralisation du tambour
- ② Ecriture optique de l'image sur le tambour
- ③ Fixation de l'image sur le papier
- ④ Transfert de l'image sur le papier
- ⑤ Développement de l'image
- ⑥ Chargement électrostatique du tambour

- 1°) Remettre dans l'ordre, les différentes étapes.
- 2°) Une imprimante Laser possède les caractéristiques suivantes :
  - 1200 x 1200 dpi
  - 16 ppm
  - Mémoire tampon : 4MoQue représentent les 2 premières caractéristiques ?

3°) On lance l'impression d'une image ayant une taille de 25,4 cm x 17,78 cm. Cette image pourra-t-elle être entièrement imprimée ? Justifier.

### **EXERCICE 6**

- 1°) Quel est le rôle de l'écran de veille ou économiseur d'écran que l'on trouve sous Windows ?
- 2°) Quel est l'intérêt des fonctions d'économie d'énergie et d'économiseur d'écran sur un ordinateur portable à écran LCD ?

### **EXERCICE 7**

La résolution d'un écran représente le nombre de points ou pixels affichables. C'est le nombre de colonnes multiplié par le nombre de lignes : exemples 640 x 480

- 1°) Définir les termes suivants :
  - fréquence verticale ou fréquence trame
  - fréquence horizontale
  - bande passante
- 2°) On admet qu'un écran peut afficher X fois en une seconde 480 lignes. Déterminer la fréquence verticale, la fréquence horizontale et la bande passante de cet écran.
- 3°) Application numérique : pour X = 80 Hz, calculer la fréquence horizontale et la bande passante du moniteur.

### **EXERCICE 8**

Un moniteur AUTOSCAN possède une plage de fréquence horizontale de 31,5 Khz à 64 Khz pour une fréquence trame de 72 Hz.

- 1°) Expliquer le terme AUTOSCAN.
- 2°) Quelles sont parmi les résolutions suivantes, celles qu'il est capable d'afficher sans difficulté. 1600 x 1200, 1024 x 1024, 640 x 480, 1024 x 768, 800 x 600, 1280 x 1024.

3°) Quelle est la solution à préconiser pour afficher les autres résolutions qui ne pourraient pas être affichées correctement ?

### EXERCICE 9

On dispose de 3 moniteurs de 14 pouces, 15 pouces et de 17 pouces.

1°) Pour une résolution de 1024 x 768, calculer le pas de chaque moniteur.

2°) On impose un pas de 0,28 mm. Lequel des moniteurs pourra-t-il afficher la résolution de 1200 x 800 ?

### EXERCICE 10

On considère un moniteur ayant une fréquence trame de 70 Hz. Le faisceau d'électron balaie 53760 lignes par seconde. Une ligne physique de l'écran fait 286,72 mm pour un pas de 0,28 mm.

1°) Déterminer la taille physique de l'écran.

2°) Quelle est la résolution maximale affichable ?

3°) On suppose que le moniteur fonctionne en mode entrelacé. Calculer alors sa bande passante.

### EXERCICE 11

On veut afficher une image de Truecolor avec une résolution de 1600 x 1200 pixels.

1°) Déterminer le nombre de bits d'entrée de chaque DAC (Digital Analo Converter) ou convertisseur numérique analogique de chaque couleur primaire.

2°) Calculer la capacité de la mémoire vidéo en méga octet dont la carte graphique doit être équipée.

3°) On suppose que la carte graphique est équipée de 1 Mo de mémoire vidéo. On donne les résolutions suivantes : 800 x 600, 1280 x 1024, 640 x 480, 1024 x 768.

Quelles sont les résolutions possibles que la carte peut afficher selon les couleurs suivantes : 256 couleurs, 131072 couleurs et 65536 couleurs.

### EXERCICE 12

1°) Remplir le tableau suivant en indiquant la capacité de la mémoire vidéo qu'il faut pour chaque combinaison [Résolution - Couleur].

Les capacités standards de mémoire vidéo pour les cartes graphiques sont les suivantes : 256 Ko, 512 Ko, 1 Mo, 2 Mo, 4 Mo, 8 Mo, 16 Mo, 32 Mo et 64 Mo.

Résolutions \ Couleurs	640 × 480	800 × 600	1024 × 768	1280 × 1024	1600 × 1200	2048 × 2048
16						
256						
65536						
16,7 millions						
4 milliards						

2°) Que se passe-t-il si le couple Résolution - Couleur est supérieur à la mémoire vidéo ?

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE**

Le code objet d'un programme exécutable occupe 23 Ko de mémoire vive. Les zones mémoires de travail du programme occupent 2,5 Ko. La taille de la partition mémoire disponible pour l'utilisateur est de 30 Ko. Ce programme crée sur une bande magnétique, un fichier de 25 000 articles de 240 caractères chacun.

1°) Quel est le facteur de groupage maximum possible ?

Les enregistrements sont groupés par 10. L'espace arrêt marche est de 1 cm. La densité d'écriture sur la bande magnétique est de 1600 BPI.

2°) Calculer la longueur de bande occupée par le fichier.

On veut recopier ce fichier sur un diskpack de 11 disques, chaque disque comportant 200 pistes par face. Une piste est composée de 10 secteurs de 2 Ko chacun. Un bloc ne peut pas être partagé entre deux secteurs.

3°) Calculer la capacité totale du diskpack en méga caractères.

4°) Quel sera le facteur de groupage maximum pour enregistrer ce fichier ? En déduire l'espace disque perdu sur le disque après enregistrement du fichier.

5°) Déterminer l'espace disque perdu sur le disque après enregistrement du fichier.

6°) Calculer le nombre de cylindres occupés par le fichier en adoptant ce facteur de groupage.

**PROBLEME**

**Première partie :**

La FAT (File Allocation Table) est une table dont chaque entrée donne toutes les informations utiles sur chaque cluster de la zone de donnée d'un disque. On distingue plusieurs types de FAT: FAT12, FAT16, FAT32, V-FAT.

Les entrées 0 et 1 de la FAT ne sont pas utilisées pour repérer les clusters, mais servent à repérer le type de disque. Le premier cluster de la zone de données porte donc le numéro 2. Sous MS-DOS, la taille maximale d'un cluster est de 16 secteurs en raison de 512 octets par secteur.

1°) Calculer la taille maximale d'une partition MS-DOS en Mo si on utilise une FAT12.

2°) Quel type de FAT utilisera le système pour la gestion d'un disque de 256 Mo ayant 8 secteurs par cluster ?

3°) Déterminer le nombre de secteurs par cluster d'un disque de 384 Mo, si le type de FAT utilisé est celui de la question 2.

**Deuxième partie :**

Voici les différents codes que chaque entrée de la FAT16 est susceptible de prendre.

Code	Signification
0000	Cluster libre
0002 à FFF6	Cluster occupé (La valeur indiquée donne le N° de l'entrée suivante du fichier)
FFF7	Cluster contenant un secteur défectueux
FFF8	Dernier cluster d'un fichier

On considère 3 fichiers (File0001.chk, File0002.chk, File0003.chk) enregistrés sur un disque dont un cluster fait 8 secteurs. Les secteurs suivants de ce disque ont été marqué défectueux par l'utilitaire SCANDISK. Ce sont les clusters 3, 6, 7, 9, 11, 15, 16 et 28 à 33.

Le fichier File0001.chk a une taille de 29,75 Ko. Il est le premier fichier enregistré sur le disque. Il est fragmenté en deux morceaux. Le premier fragment fait 12 Ko. Le second fragment commence après le troisième fichier.

Le second fichier File0002.chk a une taille de 2,3 Ko et est enregistré juste après le premier fragment du premier fichier File0001.chk.

Le troisième fichier File0003.chk commence après le deuxième fichier. Il n'est pas fragmenté. Il a une taille de 16,25 Ko.

1°) Soit X le nombre de clusters occupés par les 3 fichiers. Déterminer X.

2°) Représenter les 32 premières entrées de la FAT d'après toutes les descriptions faites ci-dessus.

3°) En déduire le cluster de début et de fin de chaque fichier.

4°) Déterminer l'espace disque perdu sur chaque fichier.

### Troisième partie

Le schéma ci-dessous représente les 32 premières entrées de la FAT d'un disque.

0003	0016	0000	0000	0000	001A	0009	000A
000D	FFF7	FFF7	000F	FFF7	FFF8	0000	0000
0013	FFF8	FFF7	FFF8	FFF8	FFF7	0000	0000
001B	001C	001D	FFF8	0000	0000	0000	0000

1°) Identifiez le type de FAT.

2°) Déterminer le nombre de fichiers enregistrés.

3°) Déterminer pour chaque fichier :

a) le cluster de départ et de fin

b) la taille maximale si un cluster est égale à 1,5 Ko.

4°) Combien de fichiers ne sont-ils pas fragmentés ?

**TECHNOLOGIES DES ORDINATEURS**

**LA NUMERISATION**

**EXERCICE 1 (Scanner)**

Supposons que l'on veut digitaliser une image de 11x 8,5 pouces. Quelle sera la taille du fichier généré si la digitalisation s'effectue avec une précision de 72 dpi et 300 dpi, avec chaque fois une dynamique de 8 bits et de 24 bits ?

**EXERCICE 2 (Ecran)**

L'animation d'images sur un écran d'ordinateur suit le même principe que celui de la télévision. L'affichage en temps réel nécessite une vitesse d'au moins 25 images/s. Une image se compose de 625 lignes et la taille de l'écran a un rapport 4/3 entre taille horizontale et taille verticale. Les images s'affichent à raison de 50 images/s. On supposera que chaque image est codée sur 8 bits. A partir de ces données, calculer la bande passante théorique nécessaire à l'affichage de ces données en temps réel ; calculer la capacité de stockage d'un film de 2 heures.

**PROBLEME : Adressage des mémoires**

Un système à microprocesseur à un bus d'adresse de 16 bits et un bus de données de 8 bits. Son dispositif de mémorisation est constitué de mémoires vives (RAM) et de mémoires mortes programmables construites autour des boîtiers mémoires suivants :

- Boîtiers RAM dynamique de 4k x 4
- Boîtiers EPROM de 1k x 8
- Boîtiers UVPRM de 512 x 4

**Questionnaire 1**

1) Déterminer le nombre de mots mémoires, le nombre de lignes d'adresses et de lignes de données de chaque type de boîtier.

En déduire la taille du mot dans chaque cas.

2) Exprimer la capacité de chaque boîtier en octet puis en Koctets.

3) Donner la référence marquée sur chaque boîtier de mémoire morte sous la forme Am 2yxx (y et xx sont à déterminer)

4) Donner les principaux avantages et inconvénients des mémoires RAM et des mémoires mortes.

**Questionnaire 2**

La mémoire centrale de ce système est configurée de la manière suivante :

- Capacité totale de mémoire RAM : 16 koctets.
- Capacité totale de mémoire morte : 3 koctets dont 2 koctets de type EPROM et 1 koctet de type UVPRM

**NB** : Ces différentes capacités sont obtenues par association des boîtiers donnés ci-dessus.

1) Déterminer le nombre de boîtiers nécessaires dans chaque cas. On précisera l'organisation des boîtiers pour chaque association.

2) Réaliser le plan de câblage correspondant en vous référant aux indications ci-dessous :

- La sélection des différents boîtiers se fera à l'aide du circuit intégré 74 LS 139 qui intègre deux décodeurs 1 parmi 4 (ou 2 vers 4).

- Les modules RAM seront décodés à l'aide de la partie haute du circuit intégré 74 LS 139 qui est un décodeur 2 vers 4 que l'on nommera décodeur 1. Ces modules seront connectés aux différentes sorties notées  $1Y_0, 1Y_1, \dots, 1Y_3$  et seront appelés respectivement  $RAM_0, \dots, RAM_3$ .

- Les mémoires mortes seront décodées par le second décodeur 1 parmi 4 (partie inférieure du 74 LS 139) que l'on nommera décodeur 2. Les modules UV PROM seront reliés aux sorties  $2Y_0$  et  $2Y_1$ . Ils seront respectivement appelés  $UV PROM_1$  et  $UV PROM_2$ . Les boîtiers EPROM seront connectés aux sorties  $2Y_2$  et  $2Y_3$ . Ils seront désignés respectivement  $EPROM_1$  et  $EPROM_2$ .

- La ligne d'adresse  $A_{15}$  servira à la fois à la validation des décodeurs 1 et 2 formant le 74 LS 139.

Si  $A_{15} = 0$ , validation du décodeur 1 (entrée  $\overline{1G}$ )

Si  $A_{15} = 1$ , validation du décodeur 2

**NB** : Les 2 décodeurs ne doivent jamais être validés simultanément.

- Les lignes d'adresse  $A_{14}$  et  $A_{13}$  serviront à la fois aux 2 décodeurs (branchement en parallèle) pour sélectionner une des 4 sorties du décodeur validé par  $A_{15}$ . La ligne  $A_{14}$  sera reliée aux entrées 1B et 2B (bits de poids fort) et  $A_{13}$  aux entrées 1A et 2A.
- Tous les boîtiers RAM possèdent deux broches de validation  $\overline{CS}_1$  et  $\overline{CS}_2$  actives à l'état bas tandis que les boîtiers de mémoire morte n'ont qu'une seule broche de validation CS active à l'état haut.

3) Déterminer la capacité totale de la mémoire centrale ainsi constituée.

4) Déterminer la plage d'adresse de chacun des boîtiers mémoires de ce système.

5) On suppose que le microprocesseur a effectué une opération de lecture dans la case de mémoire d'adresse (07F2) H. Déterminer le module mémoire de ce système adressé et le rang de l'octet lu. Justifier votre réponse.

6) On remplace maintenant le circuit intégré 74 LS 139 par une mémoire PROM  $64 \times 8$  pour le décodage de ces différents boîtiers et modules mémoires. On considère conserver les mêmes plages d'adresse que précédemment. Pour cela, on utilise les 3 premières broches d'adresse de la PROM et on relie les broches non utilisées à la masse. La ligne d'adresse  $A_{15}$  sera connectée à la broche  $A_2$  de la PROM, de même  $A_{14}$  à la broche  $A_1$  et  $A_{13}$  à la broche  $A_0$ . Les RAM seront connectées respectivement aux sorties  $D_0, D_1, D_2$  et  $D_3$ . Les UV PROM respectivement aux sorties  $D_4$  et  $D_5$  et les EPROM respectivement aux sorties  $D_6$  et  $D_7$  de la PROM. Déterminer le contenu de la PROM pour avoir le fonctionnement précédent.

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

1°) Identifier

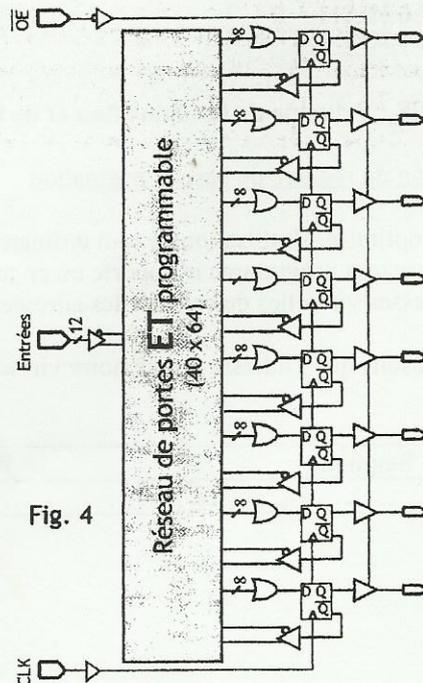
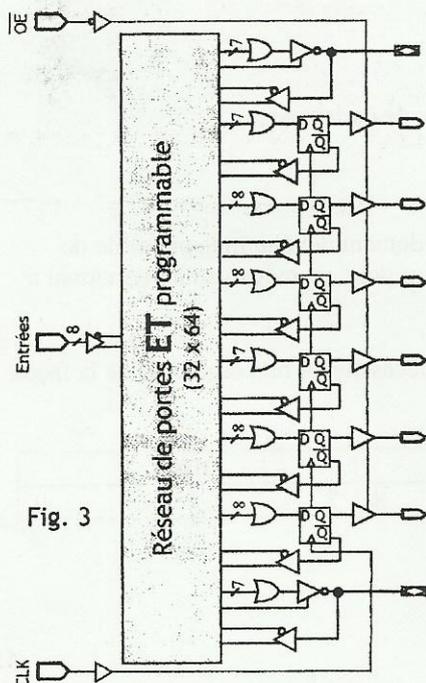
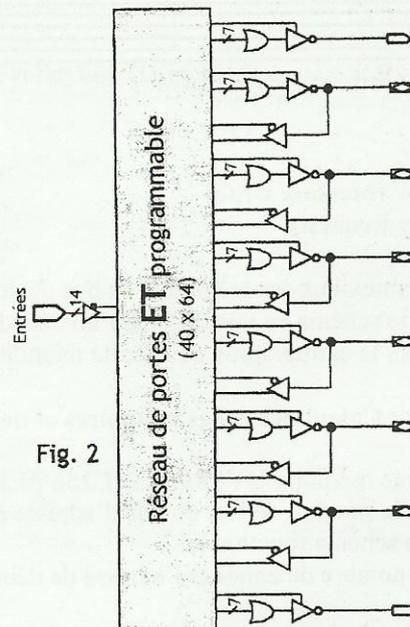
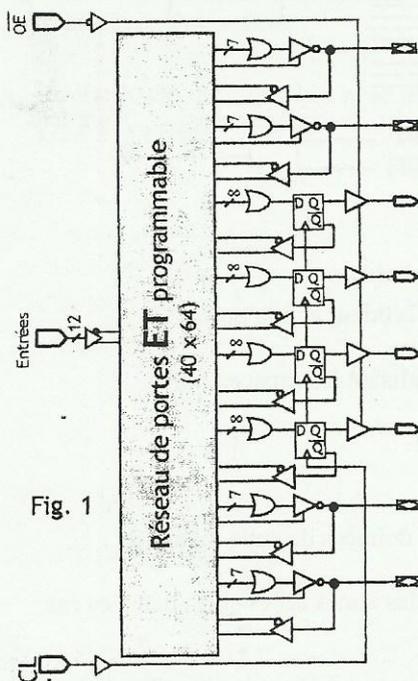
- Le nombre d'entrées dédiées
- Le nombre d'E/S
- Le nombre de sorties dédiées.

des éléments PAL schématisés sur les figures ci-dessous.

2°) Analyser la structure de sortie de chaque circuit et en tirer la référence de chaque élément PAL.

3°) Il existe 2 familles de PAL (la famille PAL 20 pattes et la famille PAL 24 pattes).

A quelle famille appartient chacun des 4 circuits PAL ci-dessous ?

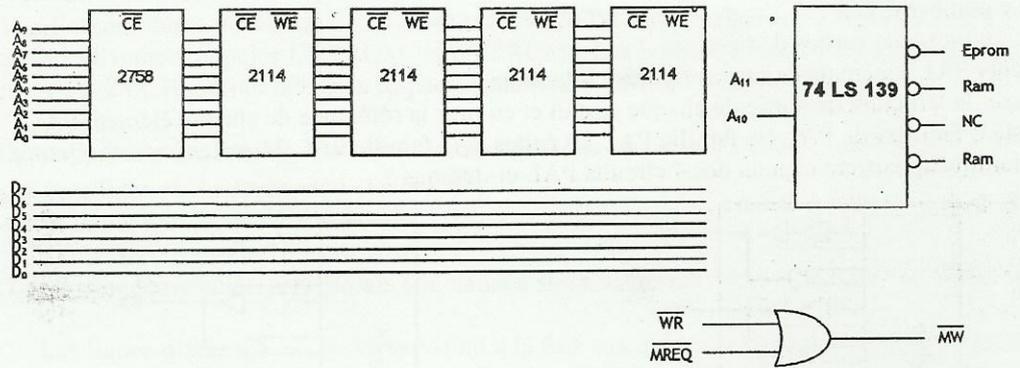


**EXERCICE 2**

Le système PRO-80 bâti autour du processeur Z80 (16 bits d'adresse) adresse des puces mémoires via le décodeur 74 LS 139 (Dual décodeur 1 parmi 4) dont la première moitié est utilisée pour les E/S et la deuxième moitié pour les mémoires.

Les mémoires sont les suivantes :

- Ram 2114 (1K x 4)
- Eprom 2758 (1K x 8)



Remarque: MW (Memory write)  
MRQ (Memory Request)

- 1°) Faire les connexions des mémoires au bus de données, au décodeur et à la porte ET.
- 2°) Compléter le schéma en vue d'obtenir un décodage complet.
- 3°) Dresser alors la cartographie de la carte mémoire en matérialisant les espaces libres.

**EXERCICE 3 : Calcul des zones mémoires et de la capacité**

On considère une mémoire UVPROM 27C256 de 32 Ko.

- 1°) Déterminer le nombre de bits du bus d'adresse et du bus de données de cette mémoire.
- 2°) Donner son schéma fonctionnel.
- 3°) Calculer le nombre de zones et l'adresse de début et de fin des zones accessibles dans les cas suivants :

- a)  $A_{14} = 0$
- b)  $A_{13} = 1$
- c)  $A_{13} = 0$  et  $A_{11} = 0$
- d)  $A_{11} = 1$ .

**PROBLEMES : Principe de la séparation et de l'assemblage des adresses.**

**P.I : Utilisation du registre de base et pagination**

Pour optimiser l'utilisation de tout ordinateur, il est rapidement devenu indispensable de pouvoir charger tout programme n'importe où en mémoire. Il faut donc un mécanisme permettant à partir des adresses virtuelles de calculer les adresses physiques.

Supposons que l'adresse en mémoire virtuelle paginée nécessite 24 bits organisés de la façon suivante :

Segment	Page	Offset
20... .. 18	17... .. 8	7... .. 0

## Questionnaire

- 1°) Calculer la taille en segments, en pages et en mots de cette mémoire virtuelle ?
- 2°) Indiquer l'adresse octale du 145<sup>ème</sup> mot de la page 111 du 32<sup>ème</sup> segment.
- 3°) A quel mot, de quelle page et de quel segment (valeurs décimales) correspond l'adresse octale suivante : 51042564(8).

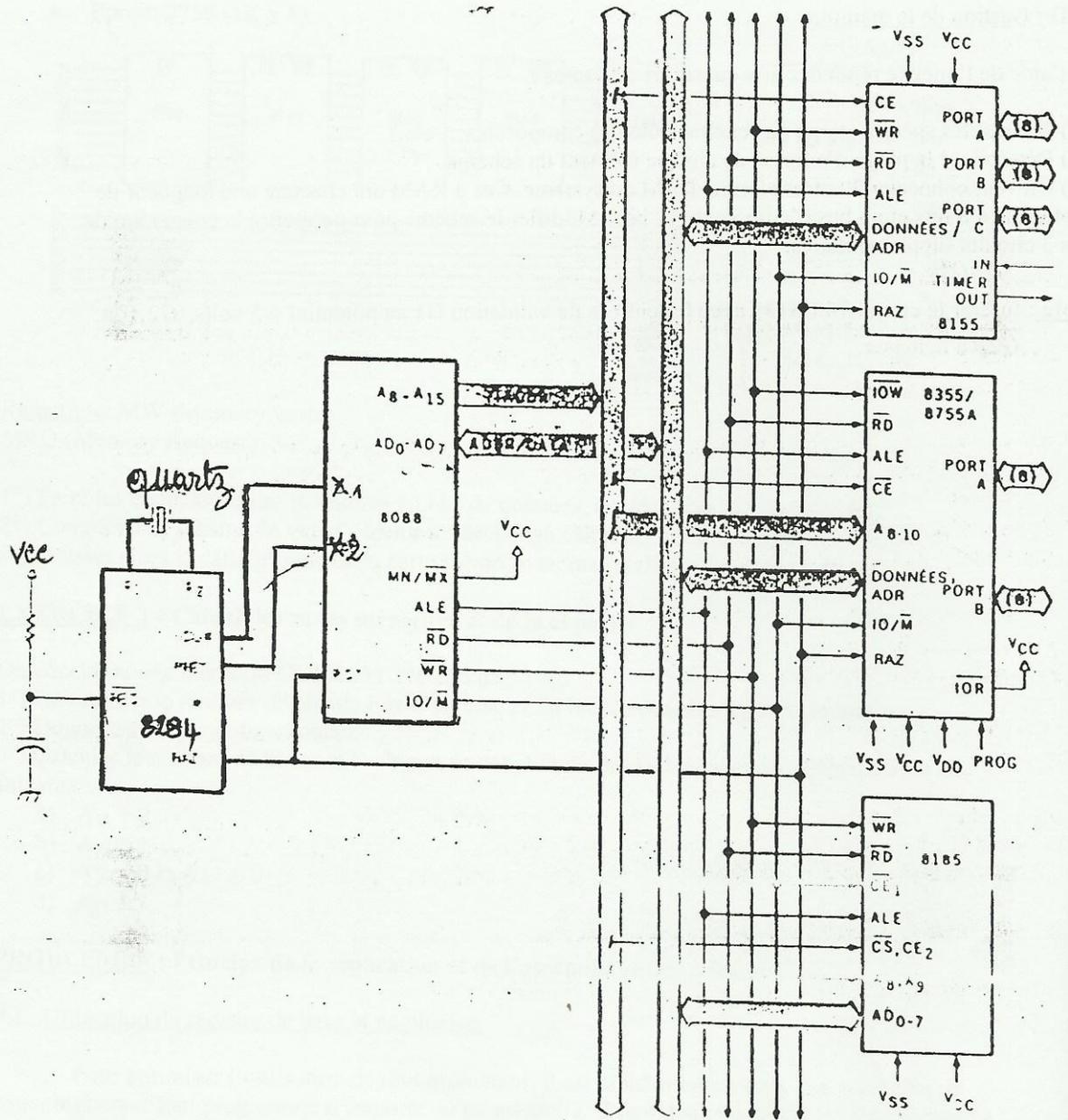
### P.II : Gestion de la mémoire

A l'aide de l'annexe répondez aux questions suivantes :

- 1°) Donnez les spécifications du schéma (rôle des composants... etc.)
- 2°) Déterminer la plage d'adresse de chaque élément du schéma.
- 3°) On veut connecter 3 autres circuits RAM au système. Ces 3 RAM ont chacune une longueur de mot égale à 8 bits et un bus d'adresse de 12 bits. Modifier le schéma pour permettre la connexion de ces 3 circuits supplémentaires.

Nota : Insérer le circuit 74 LS138 avec les entrées de validation  $G1$  au potentiel + 5 volts,  $G2A$  et  $G2B$  à la masse.

# ANNEXE



**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

- 1°) Donner la définition et les caractéristiques d'une mémoire et faites la différence entre une mémoire morte et une mémoire vive.
- 2°) Donner un exemple d'application pour chaque type de mémoire.
- 3°) L'on souhaite réaliser un circuit mémoire de  $4\text{Ko} \times 8$  bits à partir de boîtiers  $4\text{Ko} \times 4$  bits.
- 3.1) Combien de boîtiers mémoires doit-on utiliser ?
  - 3.2) Proposez un schéma pour la réalisation de ce circuit.

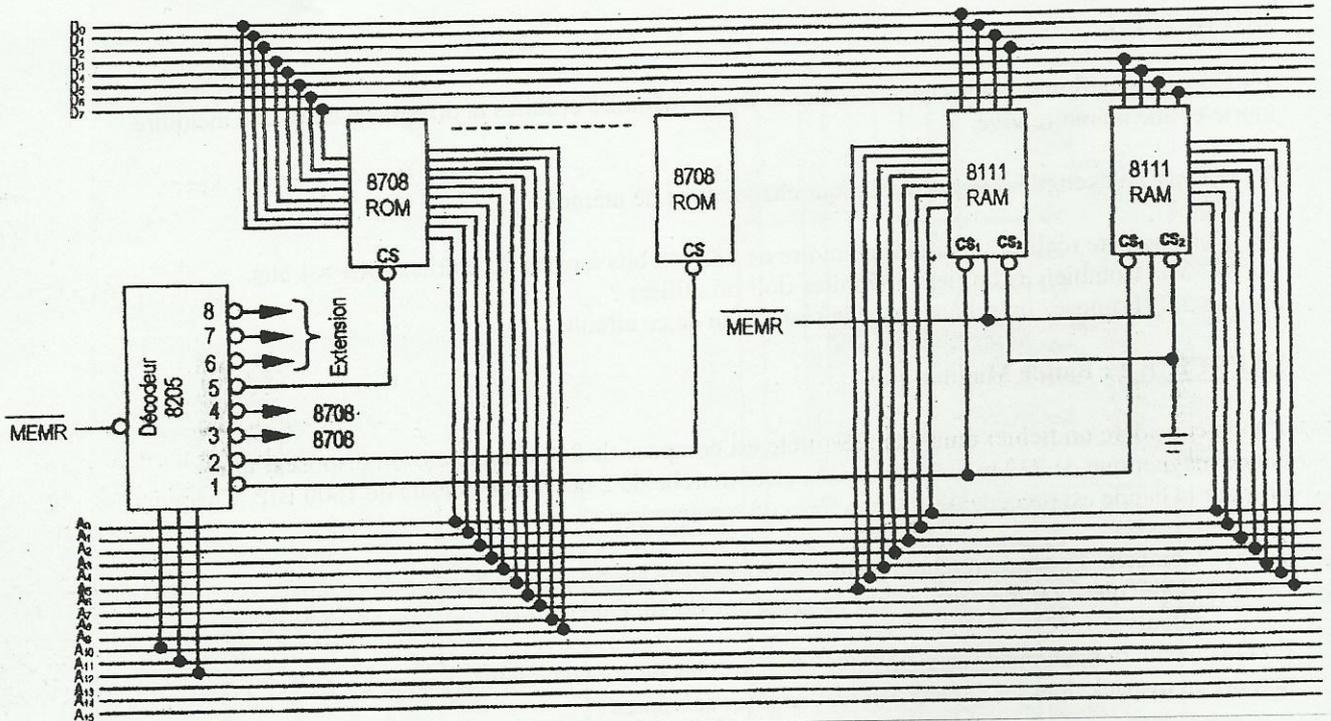
**EXERCICE 2 : Bande Magnétique**

1°) On considère un fichier dont chaque article est composé de 240 caractères. On dispose d'une bande magnétique de 732 m avec un espace arrêt-marche de 2 cm et une densité de 1600 BIP. Chaque bloc sur la bande est précédé de 10 caractères de services.

- a) Combien d'enregistrements peut-on mettre sur la bande avec un facteur de groupage de 1 ?
  - b) Même question avec un facteur de groupage de 10. Que peut-on conclure après ces deux calculs ?
- 2°) On considère maintenant un fichier de 7 350 articles de 200 caractères chacun. Ce fichier a pour support un dispack dont les caractéristiques sont les suivantes :
- pistes de 10 secteurs de 288 octets chacun
  - chaque cylindre contient 10 pistes
  - un dispack comporte 100 cylindres
- a) Chaque secteur ne peut donc contenir qu'un article, car le système d'exploitation ne permet pas de placer des enregistrements à cheval sur deux secteurs.
  - b) Sachant qu'un fichier occupe un nombre entier de cylindre, quelle est la place prise par ce fichier (il s'agit de calculer le nombre de cylindre occupés par le fichier) ? Déterminer la capacité en caractères d'un disque magnétique.
  - c) Calculer de deux façons différentes la capacité total du dispack.

### EXERCICE 3

On fournit sur la figure ci-dessous l'interface d'une mémoire centrale avec un processeur. Les sorties 3, 4, 5, 6, 7 et 8 du décodeur 8205 seront utilisées pour les extensions du système.



- 1°) Déterminer la capacité de la mémoire centrale (ROM + RAM)
- 2°) Représenter l'espace adressable par le processeur
- 3°) Quelle est l'adresse du 695<sup>ème</sup> mot en ROM ; de la 200<sup>ème</sup> position mémoire en RAM ?

On fournit ci-dessous une extension possible de l'adressage.

A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	Boîtier	Fils d'adresse
0	0	0	RAM 8111	A <sub>0</sub> à A <sub>6</sub>
0	0	1	ROM 8708 /1	A <sub>0</sub> à A <sub>9</sub>
0	1	0	ROM 8708 /2	A <sub>0</sub> à A <sub>6</sub>
0	1	1	ROM 8708 /3	A <sub>0</sub> à A <sub>9</sub>
1	0	0	ROM 8708 /4	A <sub>0</sub> à A <sub>9</sub>
1	0	1	RAM X/1'	A <sub>0</sub> à A <sub>9</sub> et A <sub>13</sub> à A <sub>15</sub>
1	1	0	RAM X/2	A <sub>0</sub> à A <sub>9</sub> et A <sub>13</sub> à A <sub>15</sub>
1	1	1	RAM X/3	A <sub>0</sub> à A <sub>9</sub> et A <sub>13</sub> à A <sub>15</sub>

- 4°) Quelle est la capacité de chacune des RAM X sachant qu'elles sont toutes reliées aux 8 fils de données ? Déterminer alors la capacité de la mémoire centrale.
- 5°) Représenter le nouvel espace adressable par le processeur.
- 6°) Le 16512<sup>ème</sup> mot de la mémoire centrale du processeur permet-il la lecture/écriture ou la lecture seulement ? Dans quel boîtier se trouve-t-il et à quel rang ? Donner son adresse hexadécimale par rapport au boîtier concerné.

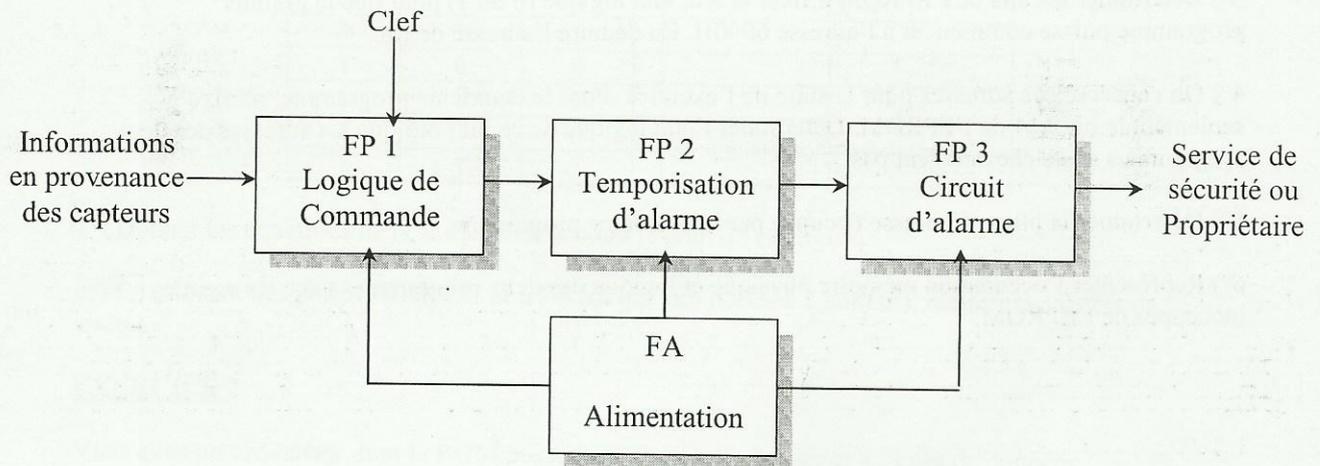
#### EXERCICE 4 : Alarme pour coffre fort

##### Fonctionnement :

Ce système de « protéger » des documents contre vol, par ouverture du coffre, ou si on tente d'emporter le coffre.

Pour réaliser ce système, le constructeur a donc utilisé :

- Un capteur sensible à la lumière (cellule photorésistance) L, afin de détecter l'ouverture du coffre.
- Un capteur sensible au mouvement (ampoule au mercure) M, pour la détection du placement.
- L'alarme sera mise en fonctionnement au moyen d'une « clef » C (à la fermeture du coffre par exemple).



##### Logique Booléenne

La table de vérité de ce système en fonction des variables d'entrée et de la variable de sortie A, pour l'alarme est la suivante :

C	M	L	A
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

**Question A1 :** Déduisez l'équation logique (équation booléenne) découlant de la table de vérité.

**Question A2 :** Etablissez le logigramme de cette équation.

### **EXERCICE 5 : Zones accessibles d'une PROM**

Deux petits programmes différents ont été logés dans une même mémoire EPROM 27C256 et intégré dans un système à microprocesseur. Ces deux programmes ne peuvent pas être lancés simultanément. Le premier programme nommé BOOT\_UP1 occupent le premier quart supérieur de la capacité totale de l'EPROM. Le deuxième programme BOOT\_UP2 est deux fois plus grand que le premier et est logé juste en dessous du premier dans l'EPROM.

- 1°) Déterminer la capacité mémoire occupée par chaque programme
- 2°) Déterminer le nombre de bits du bus d'adresse de l'EPROM à fixer pour créer une partie accessible pour chaque programme.
- 3°) Déterminer les bits de l'EPROM à fixer et leur état logique (0 ou 1) pour que le premier programme puisse commencer à l'adresse 6000H. En déduire l'adresse de fin.
- 4°) On conserve ces adresses pour la suite de l'exercice. Pour le deuxième programme, on fixe seulement le bit A14 de l'EPROM. Déterminer l'état logique de ce bit pour que les adresses des deux programmes ne se chevauchent pas.
- 5°) Déterminer la plage d'adresse occupée par le deuxième programme.
- 6°) Représenter l'occupation mémoire physique et logique des deux programmes avec les espaces inoccupés de l'EPROM.

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

On désire réaliser un circuit qui, en fonction de l'état des variables de sélection, aiguille une ligne d'entrée parmi huit vers la sortie. Les conditions d'aiguillage doivent être comme ci-dessous :

Variables de Sélection			Ligne Sélectionnée
V <sub>2</sub>	V <sub>1</sub>	V <sub>0</sub>	S
0	0	0	E <sub>0</sub>
0	0	1	E <sub>1</sub>
0	1	0	E <sub>2</sub>
0	1	1	E <sub>3</sub>
1	0	0	E <sub>4</sub>
1	0	1	E <sub>5</sub>
1	1	0	E <sub>6</sub>
1	1	1	E <sub>7</sub>

1°) Donner les équations de la sortie et en déduire le nom de ce circuit.

2°) En utilisant des portes NON, OU et ET (rien que des portes à 2 entrées), réaliser le schéma de ce circuit.

**EXERCICE 2**

Vous avez un ordinateur dont la ROM possède 13 lignes d'adresses et 8 lignes de données.

1°) Déterminer le nombre de mots binaires et la taille de chaque mot que peut emmagasiner cette mémoire.

2°) Quelle est la capacité totale de cette ROM (en bits)

3°) On vous dit que cette mémoire a été obtenue avec des boîtiers ayant 11 lignes d'adresse et 4 lignes de données.

- Donner l'organisation de cette mémoire
- Donner le schéma de câblage.

**EXERCICE 3**

Pour effectuer la transmission de données sur un canal de terminal de Télétex, on dispose des lignes 2 à 22 et 314 à 334 lignes durant lesquelles aucune information d'image n'est transmise.

Une image comporte 625 lignes. Chaque ligne donne 64 microsecondes dont 52 sont utilisables pour la transmission de données. Compte tenu d'une fréquence de 50,5 images par seconde et une bande passante (BP) de 6 Mhz, déterminer le débit binaire D réalisable si on effectue une transmission à valence 2.

**EXERCICE 4**

Soit l'information suivante 011000011101. On vous demande de la coder en utilisant les codes suivants :

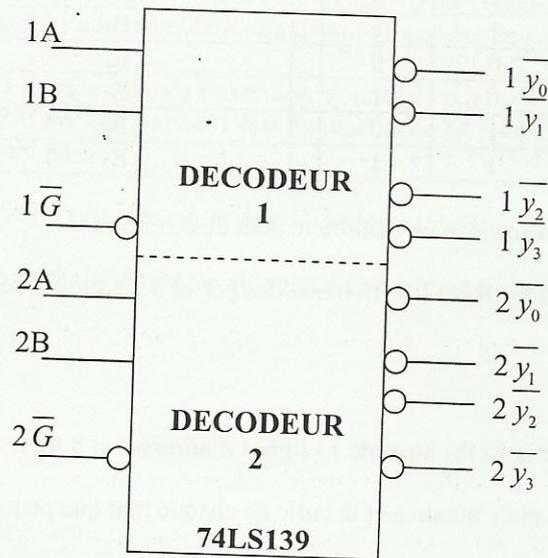
- Non retour à zéro inversé.
- Modulation de fréquence modifiée.
- Modulation de fréquence modifiée deux fois.

**NB :** Utiliser le niveau haut pour le premier bit.

**PROBLEME**

On utilise une mémoire PROM 28C64 pour réaliser un double décodeur (74LS139) comportant les éléments suivants :

- 2 entrées de validation :  $1\bar{G}$  et  $2\bar{G}$  actives au niveau bas.
- 4 entrées de sélection :  $1A$ ,  $1B$ ,  $2A$  et  $2B$  ( $1A$  étant le bit de poids faible)
- 8 sorties  $1\bar{y}_0$  à  $1\bar{y}_3$  et  $2\bar{y}_0$  à  $2\bar{y}_3$  actives au niveau bas.



Chaque décodeur (décodeur 1 et décodeur 2) peut fonctionner de manière indépendante. On décide de les faire fonctionner selon deux modes :

- mode 1 : ils fonctionnent de manière symétrique (c'est-à-dire :  $1\bar{y}_0$  et  $2\bar{y}_0$  ;  $1\bar{y}_1$  et  $2\bar{y}_1$  ;  $1\bar{y}_2$  et  $2\bar{y}_2$  ;  $1\bar{y}_3$  et  $2\bar{y}_3$  .)
- mode 2 : ils fonctionnent comme un seul décodeur 1 parmi 8 ( $1\bar{y}_0$ ,  $1\bar{y}_1$ ,  $1\bar{y}_2$ ,  $1\bar{y}_3$ ,  $2\bar{y}_0$ ,  $2\bar{y}_1$ ,  $2\bar{y}_2$  et  $2\bar{y}_3$  .)

N.B : La PROM utilisée pour réaliser ce décodeur possède 2 broches de validations :  $\overline{OE}$  et  $\overline{CE}$ .

**Questionnaire 1 : Généralités**

1°) D'après les caractéristiques du décodeur à réaliser,

- a) Donner le type de la PROM
- b) Déterminer la longueur minimale du mot mémoire que cette mémoire doit avoir.
- c) En déduire le nombre de lignes d'adresse de cette mémoire.

2°) Connaissant maintenant le nombre de lignes d'adresse et de données de la PROM, on les notera respectivement  $A_0 - A_x$  et  $D_0 - D_y$ . Déterminer  $x$  et  $y$ .

3°) Identifier les bits d'adresse de la PROM qui représentent la partie utile et les bits qui représentent la partie non utile d'après le nombre de broches d'entrées du décodeur à réaliser.

**N.B :** La partie utile est la partie du bus d'adresse de la PROM qui servira à la réalisation du décodeur. Les bits de poids faibles seront utilisés par cette Partie.

La partie non utile est la partie du bus d'adresse de la PROM qui ne servira pas à la réalisation du décodeur. Les bits de poids forts seront utilisés par cette partie.

4°) On précise que les entrées du décodeur ( $1A, 1B, \overline{1G}, 2A, 2B$ , et  $\overline{2G}$ ) seront respectivement connectées aux lignes d'adresse de la partie utile ( $A_0, A_1 \dots$ ).

Les sorties  $1\overline{y}_0$  à  $1\overline{y}_3$  et  $2\overline{y}_0$  à  $2\overline{y}_3$  seront respectivement connectées sur le bus de données de la PROM ( $D_0, D_1, \dots, D_y$ ).

La partie non utile sera reliée à la masse.

Réprésenter le schéma de la PROM en matérialisant la correspondance entre d'une part, les broches  $A_0$  à  $A_x$  du bus d'adresse de la PROM et les signaux d'entrées du décodeur ( $1A, 1B, \overline{1G}, 2A, 2B$  et  $\overline{2G}$ ) et d'autre part entre le bus de données ( $D_0 - D_y$ ) de la PROM et les sorties ( $1\overline{y}_0$  à  $1\overline{y}_3$  et  $2\overline{y}_0$  à  $2\overline{y}_3$ ) du décodeur.

On réalise aussi le câblage des broches  $\overline{OE}, \overline{CE}$  et la partie non utile du bus d'adresse de la PROM.

### **Questionnaire 2 : MODE 1**

On décide de faire fonctionner ce double décodeur en MODE 1.

1°) Déterminer d'après le câblage, les zones d'adresse de la partie utile qui ne permettent pas un tel fonctionnement.

2°) Déterminer les zones d'adresse de la partie utile qui réalisent ce fonctionnement.

3°) En déduire le contenu des zones qui réalisent ce fonctionnement.

4°) Déterminer la capacité de chaque zone (zone réalisant le fonctionnement et zone ne réalisant pas le fonctionnement).

### **Questionnaire 3 : MODE 2**

On décide de faire fonctionner ce double décodeur en MODE 2.

1°) Déterminer d'après le câblage, les zones d'adresse de la partie utile qui ne permettent pas un tel fonctionnement.

2°) Déterminer les zones d'adresse de la partie utile qui réalisent ce fonctionnement.

3°) En déduire le contenu de ces zones.

4°) Déterminer la capacité de chaque zone (zone réalisant le fonctionnement et zone ne réalisant pas le fonctionnement)

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

On donne le vidage hexadécimal de la zone amorce et de la zone de la 1<sup>ère</sup> FAT d'un support de stockage. La partie Offset représente les adresses de chaque octet dans le secteur.

**ABSOLUT SECTOR 00000000      SYSTEME BOOT**

SECTEUR 0																OFFSET	
EB	34	90	49	42	4D	20	20	-	33	2E	33	00	02	01	01	00	00000000
02	E0	00	40	0B	F0	09	00	-	12	00	02	00	00	00	00	00	00000010
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	00000020
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	00000030

**ABSOLUT SECTOR 00000001      SYSTEM FAT**

SECTEUR 1																OFFSET	
FD	FF	FF	FF	4F	00	05	06	-	00	07	80	00	09	A0	00	0B	00000000
C0	00	0D	E0	00	0F	00	01	-	11	20	01	13	40	01	15	60	00000010
01	FF	0F	00	00	00	00	00	-	00	00	00	00	00	00	00	00	00000020
00	00	00	00	00	00	00	00	-	00	00	00	00	00	00	00	00	00000030

- 1) Identifier ce support en donnant ses caractéristiques physiques.
- 2) Ce support peut-il fonctionner correctement ? Justifier.

Mapping de l'amorce

OFFSET	Nb d'octets	CONTENU
0 - 2	3	Code d'amorçage
3 - 10	8	Identification du système ; version du DOS
11 - 12	2	Nombre d'octets par secteur
13	1	Nombre de secteurs par clusters
14 - 15	2	Nombre de secteurs réservés
16	1	Nombre de copies de la FAT
17 - 18	2	Nombre d'entrée dans le répertoire racine
19 - 20	2	Nombre total de secteurs
21	1	Descripteur de média
22 - 23	2	Nombre de secteurs par FAT
24 - 25	2	Nombre de secteurs par piste
26 - 27	2	Nombre de têtes
28 - 29	2	Nombre de secteurs cachés
30 - 31	2	RESERVES

MEDIA	CAPACITE	TYPE	DESCRIPTEUR
Disquette 5"1/4	160 Ko	Simple face	FE
	180 Ko	Simple face	FC
	320 Ko	Double face	FF
	360 Ko	Double face	FD
	1,2 Mo	Haute densité	F9
Disquette 3"1/2	720 Ko	Double densité	F9
	1,44 Mo	Haute densité	F0
Disque dur			F8

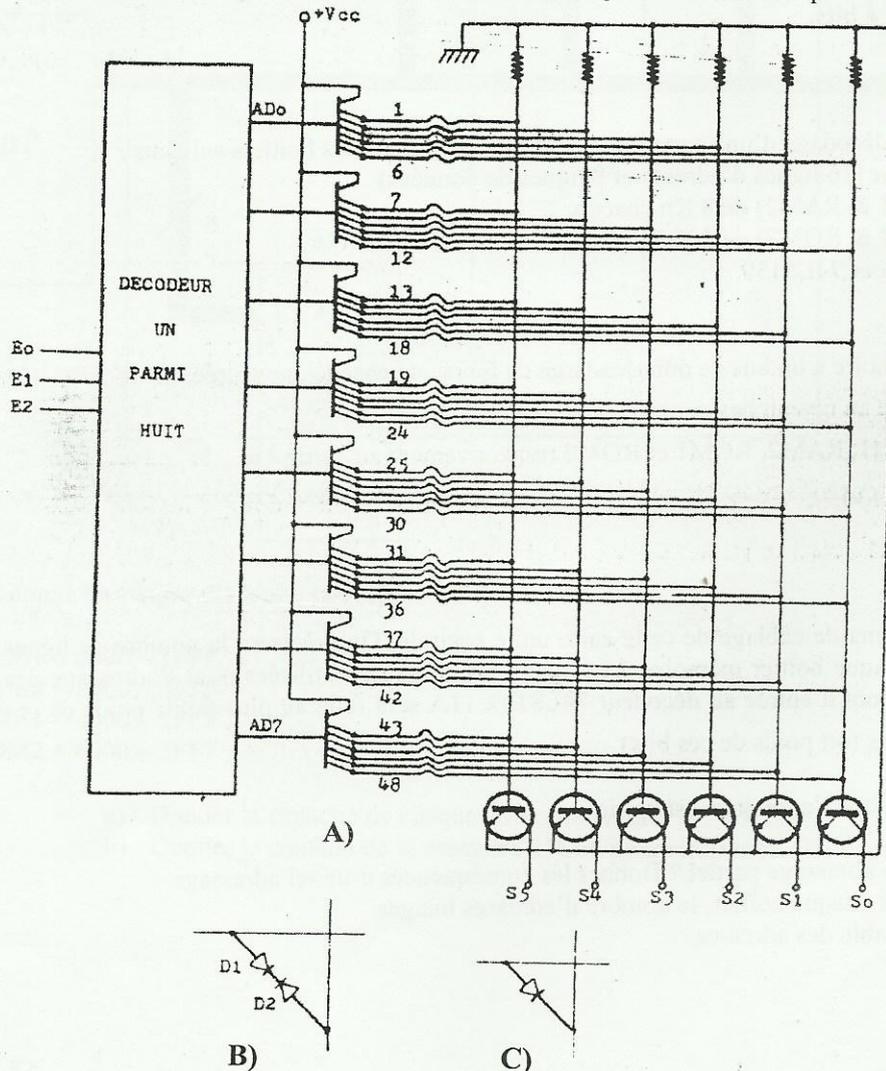
### EXERCICE 2

On considère E0 comme une entrée binaire à 1 bit, E1 et E2 comme une deuxième entrée binaire à 2 bits ( $E1 = 2^0$  ;  $E2 = 2^1$ ).

- 1) Enumérer les fusibles (numérotés de 1 à 48) qui doivent être détruit pour que la PROM effectue la somme des deux entrées binaires.
- 2) En déduire la table de vérité.

**N.B :** Les collecteurs ouverts doivent être reliés extérieurement à la tension d'alimentation à travers des résistances de polarisation.

- A) PROM 8x6 à transistors binaires, Programmable par « ouverture » d'un fusible.
- B) et C) Cellule élémentaire d'une PROM à double jonction avant et après la destruction de D2.



### EXERCICE 3

On dispose de deux lignes d'entrées et de quatre lignes de sorties. On veut activer une ligne de sortie à la fois, en appliquant aux entrées la combinaison correspondante définie comme suit :

Entrées		Sortie			
A	B	S0	S1	S2	S3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

- 1) Réaliser les équations de sortie et en déduire la fonction de ce circuit.
- 2) En utilisant des Portes NON et des Portes ET (rien que des portes à 2 entrées), réaliser le schéma de ce circuit.

### EXERCICE 4

Calculer la capacité théorique et pratique de stockage en méga octets (Mo) d'une bande magnétique de 1464 mètres si l'enregistrement est effectué avec une densité de 1500 points par pouce et sachant que :

- Le facteur de groupage est de 5 articles par bloc,
- Le nombre de caractères par article est de 200,
- La longueur d'un GAP est de 15 millimètres.

**N.B : 1 point vaut 4 bits.**

### PROBLEME

On souhaite réaliser le décodage d'une carte unité centrale comportant les boîtiers suivants :

- microprocesseur (16 lignes d'adresse et 8 lignes de données)
- 2 RAM (RAM1 & RAM2) de 8 Ko chacun.
- 2 ROM (ROM1 & ROM2) de 4 Ko chacun.
- 1 double décodeur 74LS139.

**N.B :**

Chaque boîtier mémoire a un bus de données large de 8 bits et possède une entrée de validation  $\overline{CS}$  active au niveau bas.

On connectera RAM1, RAM2, ROM1 et ROM2 respectivement au sortie  $\overline{1y_0}$ ,  $\overline{1y_1}$ ,  $\overline{1y_2}$  et  $\overline{1y_3}$  du circuit 74LS139.

### PARTIE A

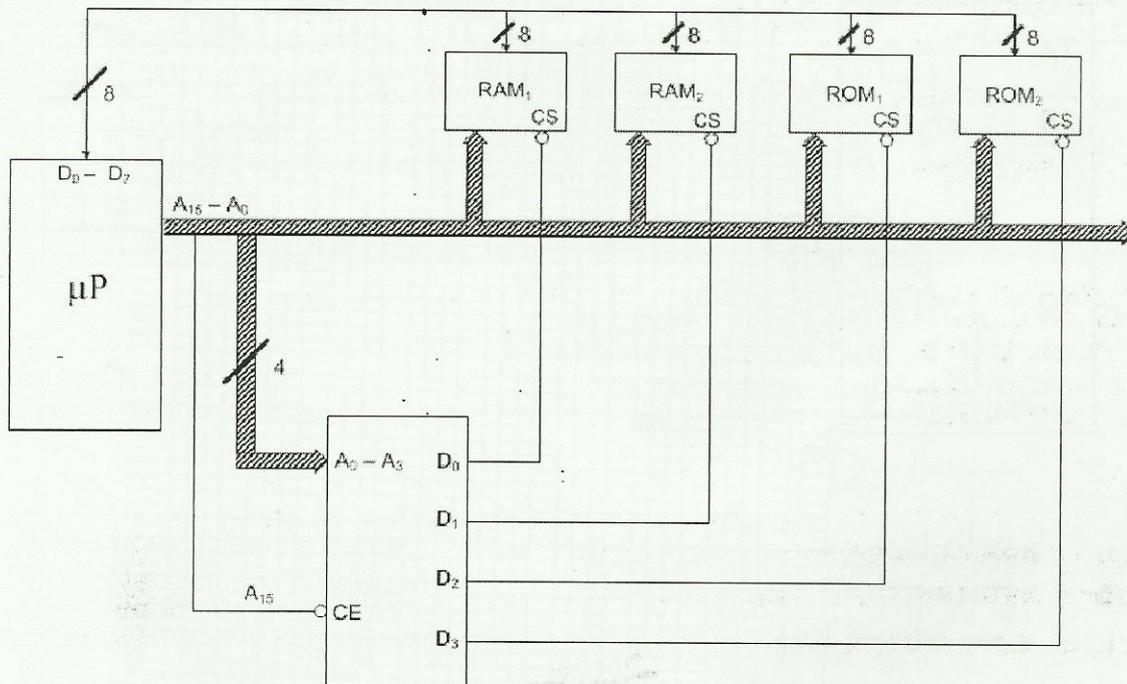
- 1) Réaliser le schéma de câblage de cette carte unité centrale. On précisera le nombre de lignes d'adresse de chaque boîtier mémoire. Les lignes d'adresse non utilisées pour l'adressage des mémoires serviront d'entrée au décodeur 74LS139. (1A sera relié au plus faible poids de ces bits et  $\overline{1G}$  le plus fort poids de ces bits)
- 2) On vous signale que l'adressage est partiel.
  - a) Que signifie adressage partiel ? Donner les conséquences d'un tel adressage.
  - b) Donner pour chaque boîtier, le nombre d'adresses images.
  - c) Réaliser la table des adresses.

- 3) On souhaite supprimer les adresses images.
  - a) Réaliser le schéma correspondant.
  - b) Donner alors la cartographie correspondante.
  
- 4) On se propose d'écrire dans la case mémoire de rang 17665 de la mémoire centrale.
  - a) Donner la capacité de la mémoire centrale.
  - b) Préciser le boîtier et le rang dans ce boîtier.
  - c) Peut-on effectuer réellement cette écriture ? Justifier.

### PARTIE B

On remplace le décodeur 74LS139 par une mémoire 27C64 ayant 4 lignes de données.

- 1) Donner les caractéristiques de cette mémoire. (On précisera le type de mémoire et le nombre de lignes d'adresse).
  
- 2) On donne le schéma ci-après :



On donne les plages d'adresse ci-après

$RAM_1 = 0000 - 1FFF$   
 $RAM_2 = 2000 - 3FFF$   
 $ROM_1 = 4000 - 5FFF$   
 $ROM_2 = 6000 - 7FFF$

- a) Donner la capacité de chaque boîtier mémoire.
- b) Donner le contenu de la mémoire 27C64 pour réaliser ce décodage.

### PARTIE C

On remplace le 74LS139 par un PAL 16L8. Le schéma de câblage de l'élément PAL est donné en annexe 1.

- 1) Donner les caractéristiques de l'élément PAL 16L8
- 2) Programmer le PAL 16L8 pour qu'il fonctionne exactement comme le 74LS139 de la partie A.

### PARTIE D

On signale que la mémoire RAM1 de la PARTIE A a été réalisée avec des boîtiers mémoires ( $2K \times 4$  par boîtier).

- 1) Préciser le nombre de boîtiers (on donnera le nombre de rangées et le nombre de boîtiers par rangée).
- 2) Donner le schéma de principe

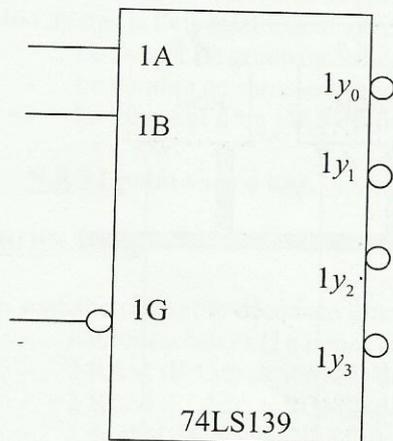
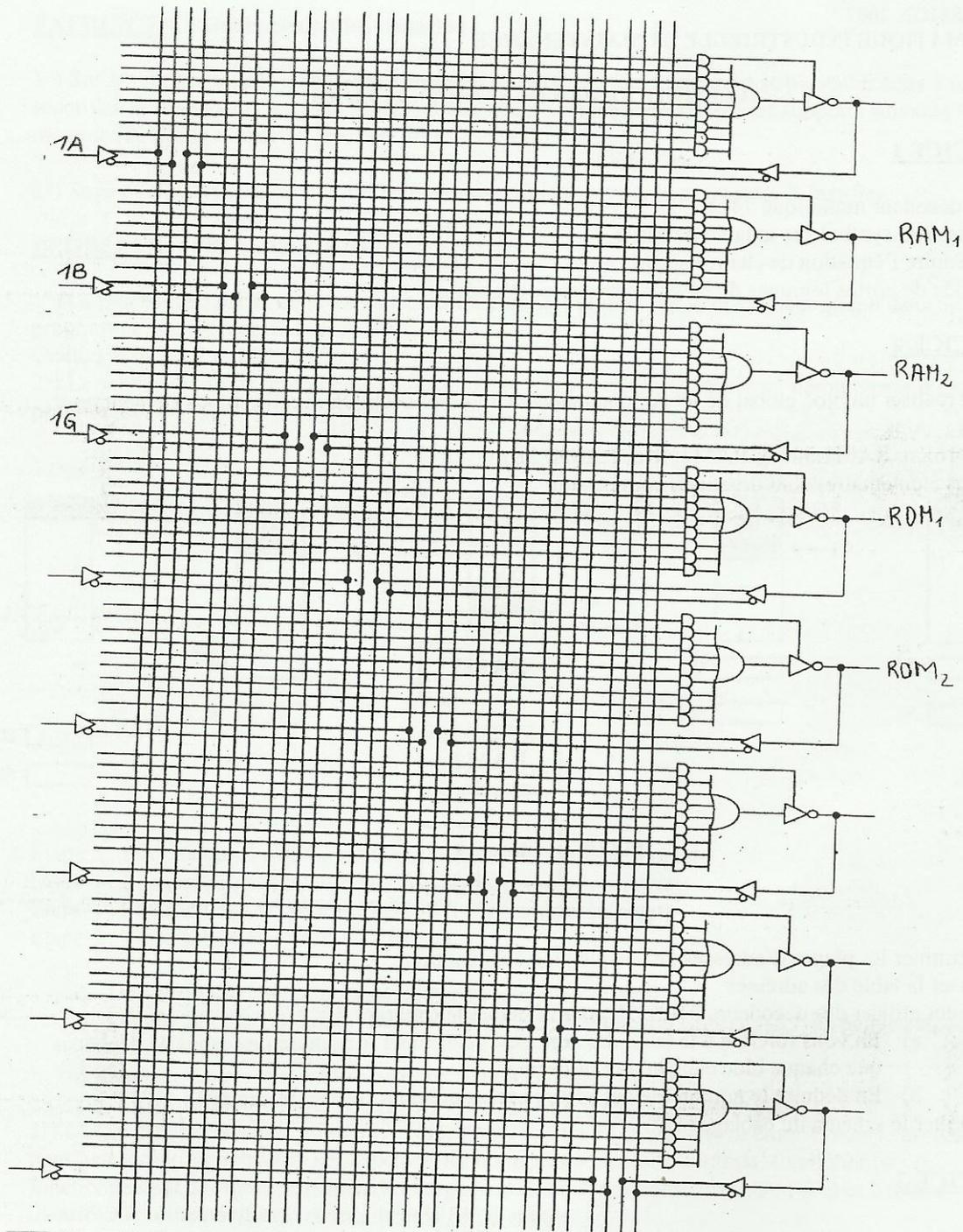


Table de Vérité

$\overline{1G}$	$1B$	$1A$	$\overline{1y_3}$	$\overline{1y_2}$	$\overline{1y_1}$	$\overline{1y_0}$
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1



ANNEXE 1

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

Soit un décodeur numérique 74LS238.

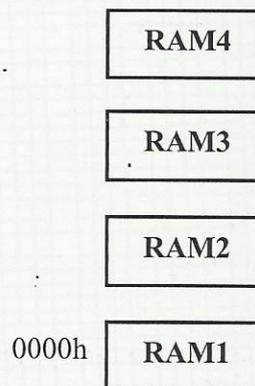
- 1) Donner son symbole et sa table de vérité.
- 2) En déduire l'équation de chaque sortie.
- 3) A l'aide de portes logiques de base, construire ce décodeur.

**EXERCICE 2**

On veut réaliser un bloc global de **60 Ko** commençant à l'adresse **0000h** avec les blocs élémentaires suivants :

RAM1: 16Ko; RAM2:32Ko; RAM3:4Ko; RAM4: 8Ko

Les blocs élémentaires sont organisés comme suit:



- 1°) Déterminer les plages d'adresses de chaque bloc élémentaire.
- 2°) Dresser la table des adresses
- 3°) On veut utiliser des décodeurs 74LS138 pour effectuer le câblage.
  - a) En vous référant à la table des adresses, déterminer le nombre de sorties de décodeur que chaque bloc élémentaire utilisera.
  - b) En déduire le nombre de décodeurs nécessaire pour réaliser le câblage.
- 4°) Effectuer le schéma du câblage.

**EXERCICE 3**

On considère un moniteur ayant une fréquence trame de  $70 \text{ Hz}$ . Le faisceau d'électron balaie 53760 lignes par seconde. Une ligne physique de l'écran fait  $286,72 \text{ mm}$  pour un pas de  $0,28 \text{ mm}$ .

- 1°) Déterminer la taille physique de l'écran.
- 2°) Quelle est la résolution maximale affichable ?

### EXERCICE 4 : Stockage de l'information

1°) Sur les supports de stockage, les informations binaires (0 et 1) peuvent se présenter sous 3 formes. Identifier la forme sous laquelle l'information binaire est matérialisée sur les supports suivants : la mémoire RAM, la disquette, le CDROM et de DVD.

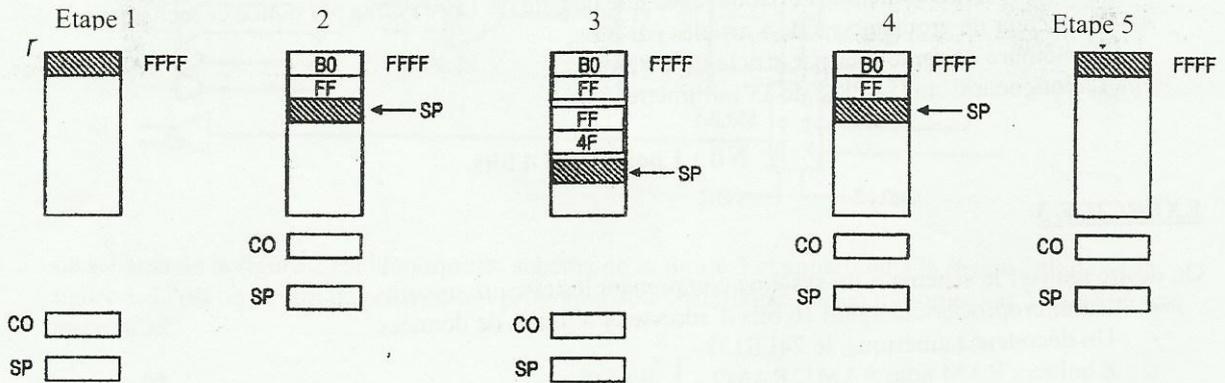
2°) Sous quelle forme se trouve-t-elle lors de son traitement par le processeur ? Justifier.

### PROBLEME : Pile et file d'attente

1°) La pile est une partie de la mémoire centrale qui est utilisée par le processeur quand dans un programme, surviennent 2 opérations.

Quelles sont ces 2 opérations ?

2°) Le schéma ci-après représente le contenu de la pile à différentes étapes du déroulement d'un programme.



Etape 2 : l'instruction exécutée est CALL 20A0 (elle tient sur 3 octets)

Etape 3 : l'instruction exécutée est PUSH 4F (elle tient sur un octet)

Etape 4 : l'instruction exécutée est POP 4F (elle tient sur un octet)

Etape 5 : l'instruction exécutée est RET

- Définir le rôle du pointeur de pile et du compteur ordinal
- Donner le contenu du pointeur de pile (SP) et du compteur ordinal (CO) à chaque étape du déroulement du programme
- Donner l'adresse mémoire de l'instruction exécutée à l'étape 2.

3°) La file d'attente est une autre pile représentant une petite quantité de mémoire dans le processeur pour permettre l'anticipation de la lecture des données en mémoire centrale. Expliquer le fonctionnement des deux principes de chargement des informations suivants : FIFO et LIFO, et identifier le principe utilisé par la pile et la file d'attente.

**TECHNOLOGIES DES ORDINATEURS**

**EXERCICE 1**

Soit un décodeur numérique 74LS138.

- 1°) Donner son symbole et sa table de vérité.
- 2°) En déduire l'équation de chaque sortie.
- 3°) A l'aide de portes logiques NAND uniquement à 2 entrées, construire ce décodeur.

**EXERCICE 2**

Calculer la capacité théorique et pratique de stockage en méga octets (Mo) d'une bande magnétique de 1464 mètres si l'enregistrement est effectué avec une densité de 1500 points par pouce et sachant que :

- Le facteur de groupage est de 5 articles par bloc,
- Le nombre de caractères par article est de 200,
- La longueur d'un GAP est de 15 millimètres.

**NB : 1 point vaut 4 bits.**

**EXERCICE 3**

On désire réaliser le schéma d'un système comprenant les circuits suivants :

- Un microprocesseur ayant 16 bits d'adresse et 8 lignes de données.
- Un décodeur numérique, le 74LS138
- 8 boîtiers RAM noté RAM1, RAM2, ..., RAM8.

Chaque boîtier RAM est muni d'une entrée de sélection CS (active au niveau bas) et comporte 8 lignes de données.

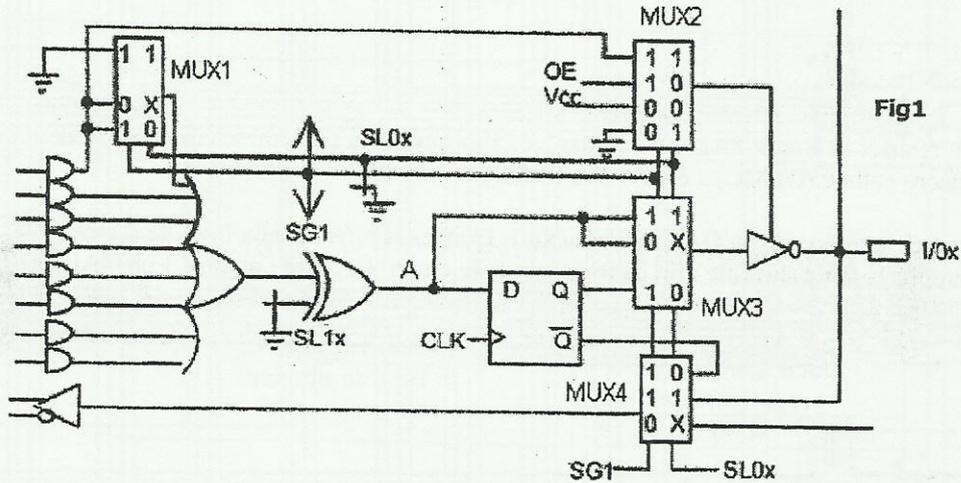
On donne les plages d'adresse de chaque boîtier :

RAM1: 2000H – 23FFH	RAM5: 3000H – 33FFH
RAM2: 2400H – 27FFH	RAM6: 3400H – 37FFH
RAM3: 2800H – 2BFFH	RAM7: 3800H – 3BFFH
RAM4: 2C00H – 2FFFH	RAM8: 3C00H – 3FFFH

- 1°) Donner en Kilo octets, la capacité de stockage de chaque boîtier mémoire.
- 2°) Etablir la table des adresses.
- 3°) En déduire les lignes d'adresse du processeur correspondant aux entrées de validation, de sélection et d'adressage. On supposera que chaque entrée du décodeur est gérée par une seule ligne d'adresse.
- 4°) Réaliser la cartographie des adresses mémoires et en déduire :
  - a) la capacité des espaces libres
  - b) la capacité de la partie inaccessible.
- 5°) À quel boîtier appartient la 5000<sup>ème</sup> case mémoire de cette mémoire vive ? En déduire son rang à l'intérieur de son boîtier.

**Problème : Etude d'un PLD**

La macro cellule de sortie du PLD représenté en annexe est ci-dessous donnée. Une telle cellule est configurable à l'aide de bits internes locaux (SL<sub>n</sub>x) et globaux (SG<sub>n</sub>) où n désigne le numéro du bit et x le numéro de la macro cellule. Elle est constituée par des multiplexeurs qui peuvent permettre plusieurs configurations de la macro cellule, ces derniers étant déterminés par les 2 bits SG1 et SL0x.



Le schéma de la figure 2 est identique au schéma de la figure 3 et appartient à la macro cellule de la figure 1. C'est un circuit de polarisation programmable matérialisé par un multiplexeur 2 vers 1 et une porte XOR.

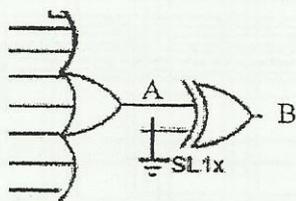


Fig 2

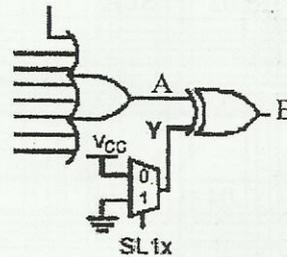


Fig 3

1°) Donner la valeur de Y pour chaque état logique de SL<sub>1</sub>x. En déduire la table de vérité du circuit de polarisation.

2°) Pour la macro cellule de la figure 1, décrire brièvement le rôle de chaque multiplexeur noté : MUX1, MUX2, MUX3 et MUX4.

3°) L'OLMC de la figure 1 peut prendre les structures ci-dessous, suivant les combinaisons de SL<sub>1</sub>x, SL<sub>0</sub>x et SG<sub>1</sub> :

- - Registre actif bas/haut
- - E/S combinatoire active bas/haut
- - Sortie combinatoire active bas/haut.

Donner la table de vérité de l'OLMC afin de retrouver toutes ces structures de sortie en suivant le modèle ci-dessous.

Combinaison			Structures de sortie
SG1	SL0x	SL1x	

4°) On veut réaliser le circuit PAL de la **figure2 de l'annexe 2** en utilisant le circuit GAL de l'annexe 1 dont la macro cellule (OLMC) a été étudiée ci-haut.

- Donner la référence du GAL de l'annexe 1. Donner la référence du PAL de l'annexe 2.
- Remplir la table suivante afin de transformer le circuit GAL de l'annexe 1 en OAL de l'annexe 2.

Etat des broches de programmation			Type de structure
SG1	SL00	SL10	
SG1	SL01	SL11	
SG1	SL02	SL12	
SG1	SL03	SL13	
SG1	SL04	SL14	
SG1	SL05	SL15	
SG1	SL06	SL16	
SG1	SL07	SL17	

# Annexe 1

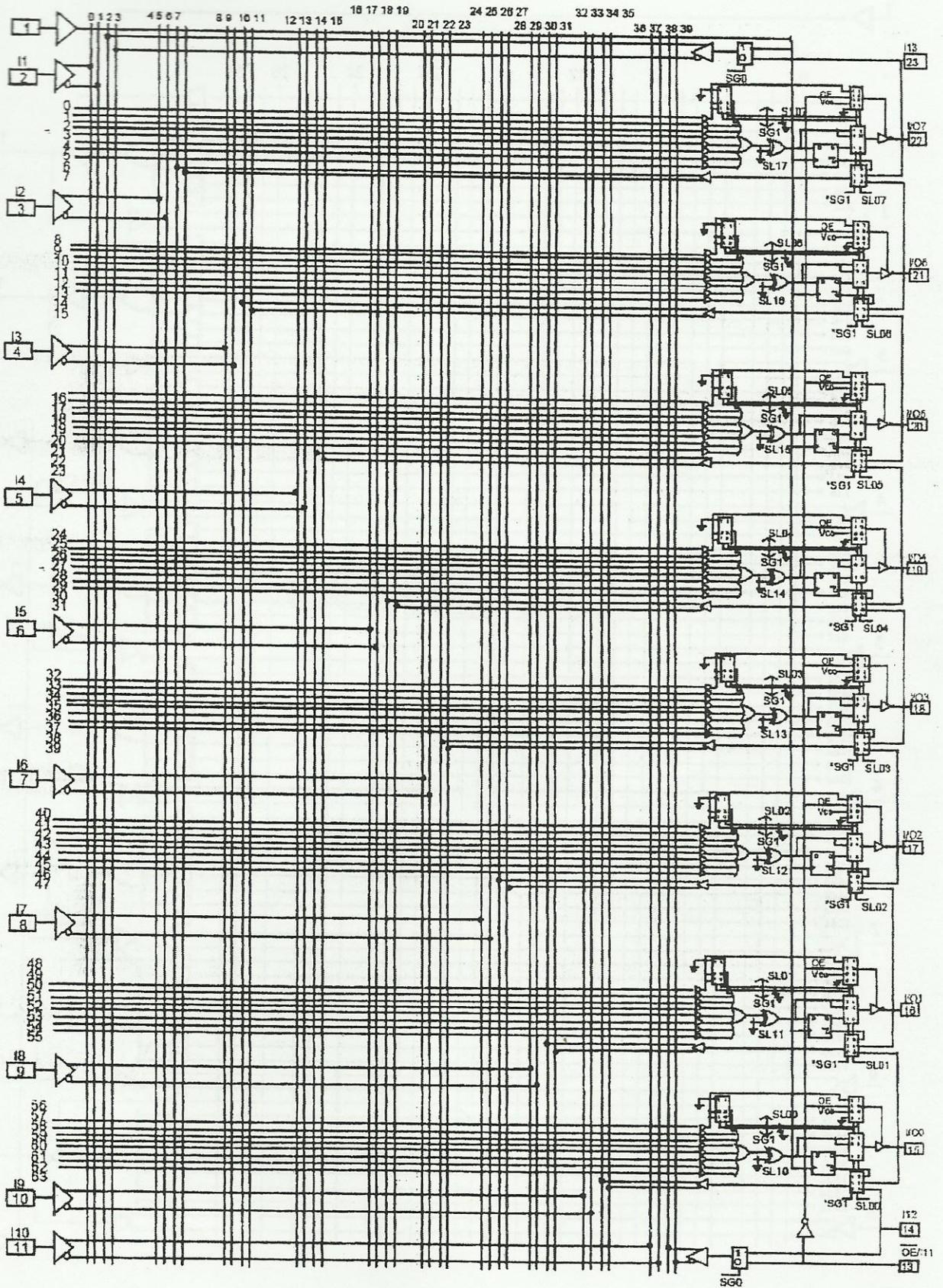
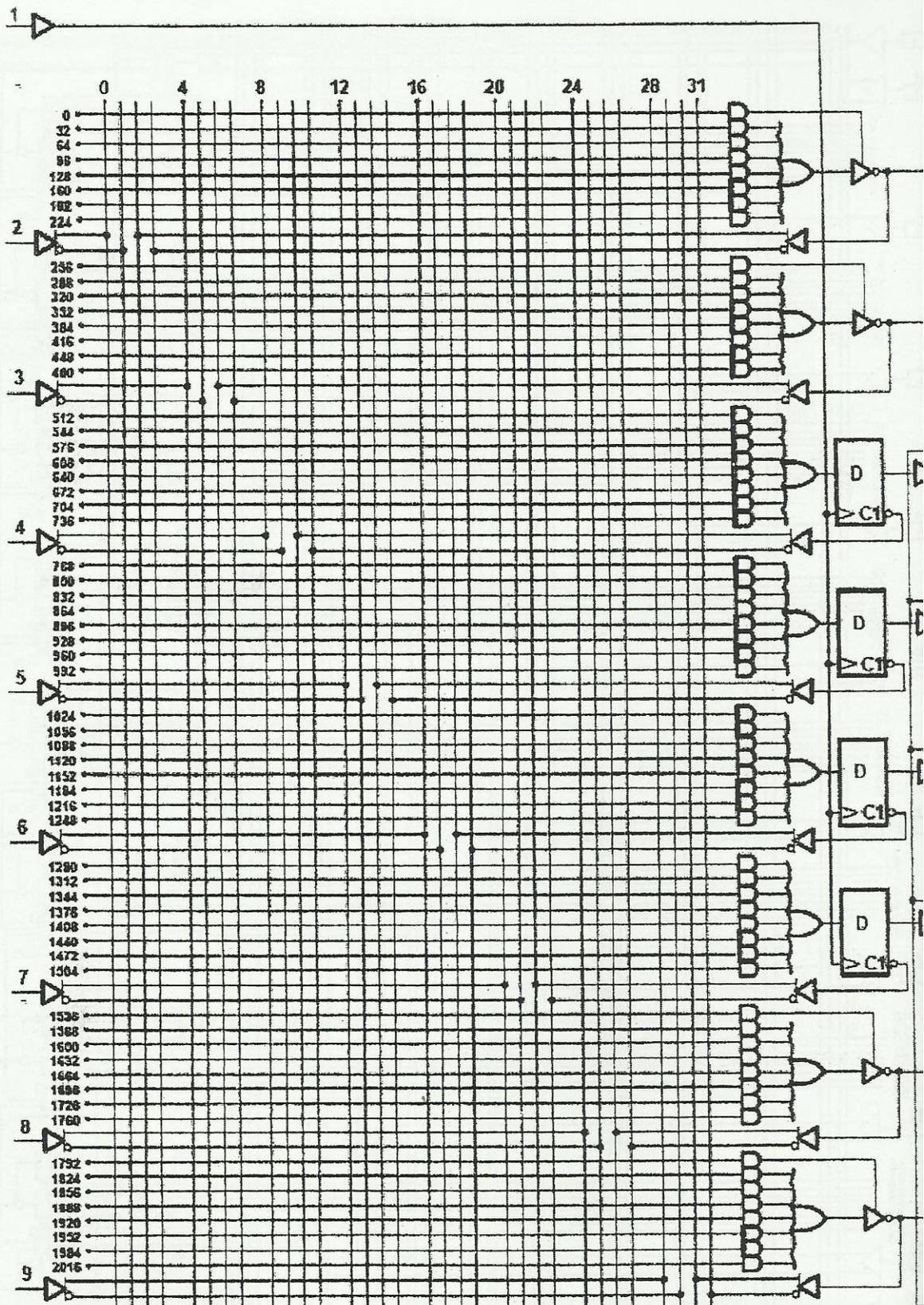


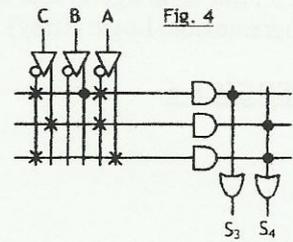
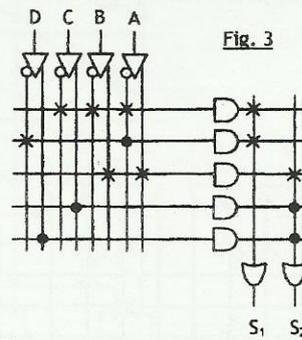
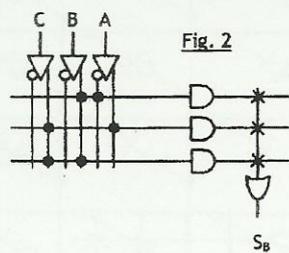
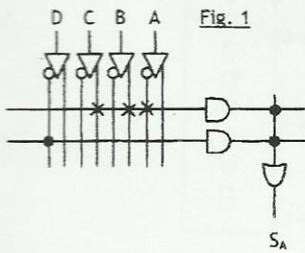
Figure 2 Annexe 2



# CORRIGES

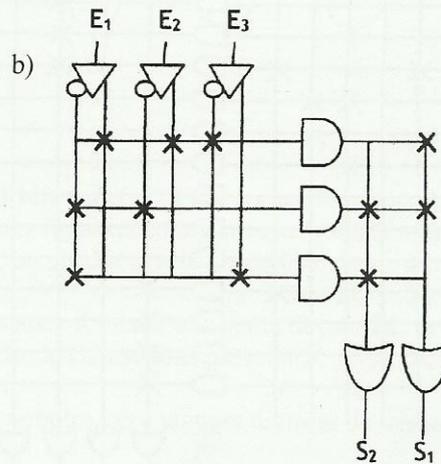
LES CIRCUITS LOGIQUES PROGRAMMABLES

EXERCICE 1



EXERCICE 2

a)  $S_1 = E_1.E_2.\bar{E}_3 + \bar{E}_1.\bar{E}_2$



EXERCICE 3

Fig. 1 :  $S_1 = \bar{E}_1.E_1 = 0$

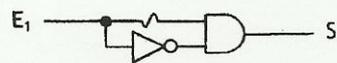


Fig. 2 :  $S_2 = \bar{E}_1 + E_1 = 1$

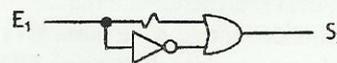


Fig. 3 :  $S_3 = (\bar{E}_1.\bar{E}_2) + \bar{E}_1 = \bar{E}_1$



Fig. 4 :  $S_4 = \bar{E}_1 \oplus \bar{E}_2 = E_1.E_2 + \bar{E}_1.\bar{E}_2$

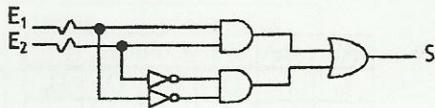


Fig. 5 :  $S_5 = \bar{E}_1.\bar{E}_2.\bar{E}_3 = \bar{E}_1 + \bar{E}_2 + \bar{E}_3$

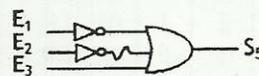


Fig. 6 :  $S_6 = \bar{E}_1 + \bar{E}_2 + \bar{E}_3 = E_1.E_2.\bar{E}_3$

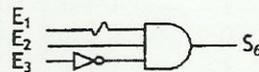
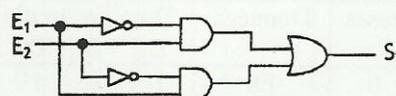


Fig. 7 :  $S_7 = \bar{E}_1 \oplus \bar{E}_2 = \bar{E}_1.E_2 + E_1.\bar{E}_2$



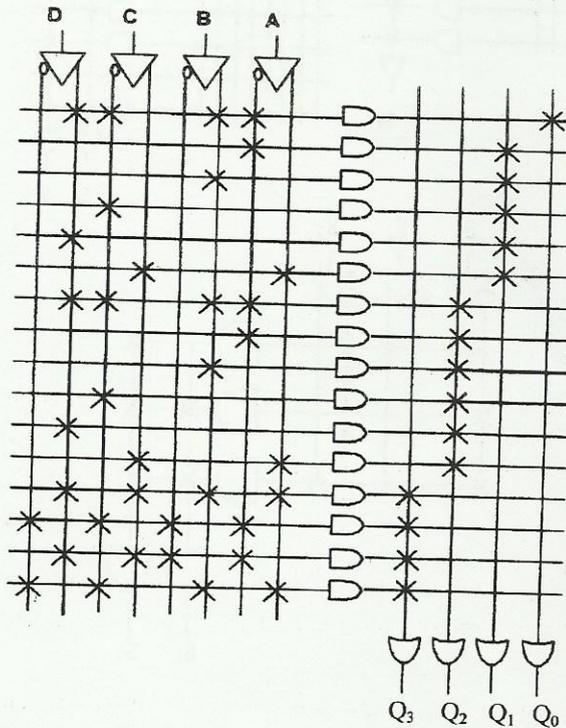
EXERCICE 4

Fig. 1 : Le réseau ET déjà programmé ne peut plus l'être. Seul le réseau OU reste programmable. Il s'agit donc d'un élément PROM.

Fig. 2 : Les réseaux ET et OU restent programmable à la fois. Il s'agit donc d'un élément FPLA (Field Programmable Logic Array).

Fig. 3 : Sur cette figure, seul le réseau ET reste programmable. Il s'agit donc d'un élément PAL (Programmable Logic Array)

**EXERCICE 5**



**Fomesoutra.com**  
*ça soutra !*  
 Docs à portée de main

**EXERCICE 6**

1°) D'après le schéma :

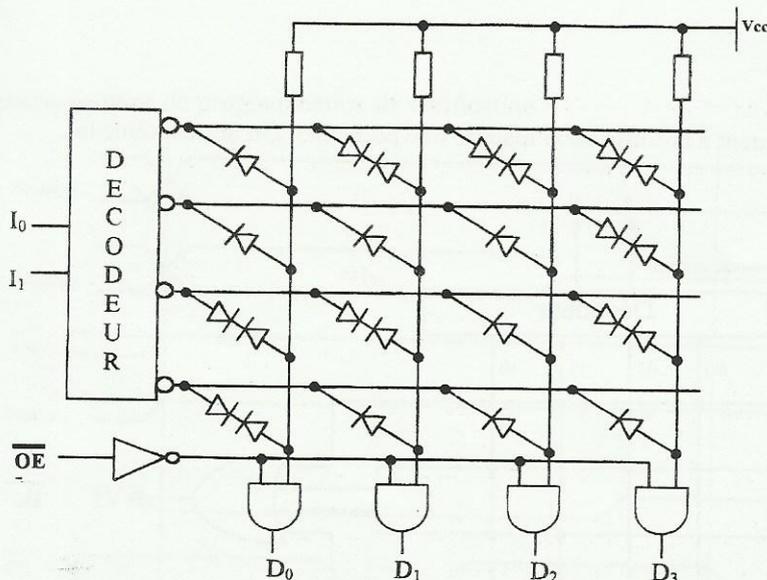
- Si une sortie du décodeur est valide, cela représente une masse.
- Si un fusible est intact, la sortie de donnée (entrée de la porte ET) vaut 0 (reliée à la masse).
- Si un fusible est coupé, la sortie de donnée (entrée de la porte ET) vaut 1 (reliée à Vcc).

On peut donc lire les données suivantes.

Adresse		Contenu			
I <sub>0</sub>	I <sub>1</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	1	1
0	1	1	1	0	0
1	0	1	0	1	0
1	1	0	0	0	0

2°) Programmation de la Prom à avalanche.

Adresse	Données	Données en binaire			
		D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0 0	Eh	1	1	1	0
0 1	8 h	1	0	0	0
1 0	B h	1	0	1	1
1 1	1 h	0	0	0	1



### EXERCICE 7

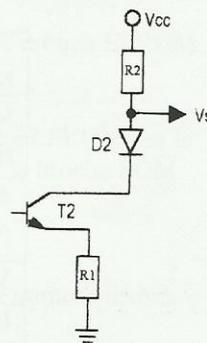
1°) Si on applique une adresse de 4 bits A B C D à travers les deux décodeurs, une seule ligne et une seule colonne seront au niveau 1, les autres lignes et colonnes resteront à la masse. En supposant que la ligne 01 et la colonne 10 soient sélectionnées, on obtient le schéma équivalent suivant.

Le transistor T2 est saturé. La résistance R1 étant très petite devant R2, la cathode de la diode D2 est reliée à la masse. La diode D2 est donc passante.

2°) D'après le schéma équivalent ci-contre, on a un pont diviseur de tension. La tension Vs est donc immédiat et vaut :

$$V_s = \frac{R_1}{R_1 + R_2} V_{cc} \text{ avec } R_2 \gg R_1. \text{ Cela dit, la constante } \frac{R_1}{R_1 + R_2} \approx 0. \text{ On en déduit alors}$$

que  $V_s \approx 0$ . Le bit lu est un 0 logique.

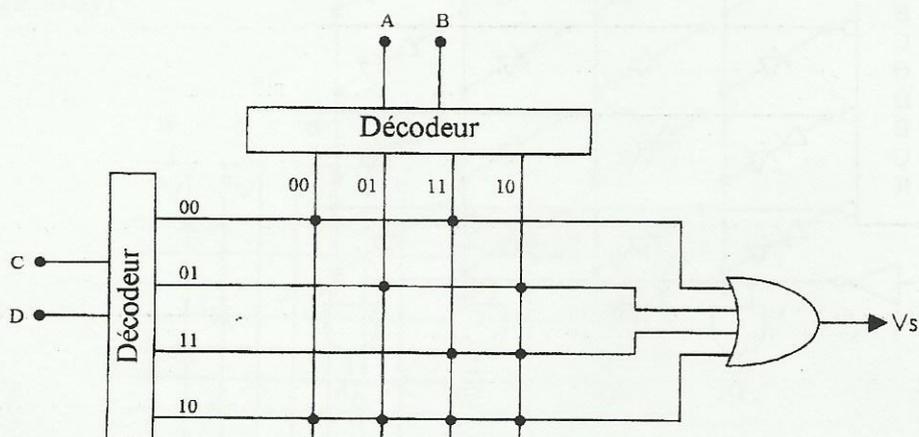


3°) Si la colonne 10 et la ligne 01 sont activées, le transistor T2 est saturé, mais la cathode de D2 reçoit 5 V à cause de l'activation de la colonne 10. L'anode de D2 reçoit également Vcc (5 V). D2 est donc bloquée. Dans ces conditions  $V_s \approx V_{cc}$ . Le bit lu est un 1 logique.

4°)

Adresse				Données (Sortie Vs)
D	C	B	A	
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

5°) Les diodes D1, D2, D3 et D4 constituent à la sortie de la matrice une porte OU. On obtient donc le schéma suivant :



### EXERCICE 8

1°)

Modes \ Broches	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	$V_{PP}$	Sortie
Lecture	$V_{IL}$	$V_{IL}$	$V_{IH}$	Vcc	<b>D<sub>OUT</sub></b>
Invalidation des sorties	$V_{IL}$	$V_{IH}$	$V_{IH}$	Vcc	<b>H-Z</b>
Attente TTL	$V_{IH}$	X	X	Vcc	<b>H-Z</b>
Programmation	$V_{IL}$	$V_{IH}$	$V_{IL}$	$V_{PP}$	<b>D<sub>IN</sub></b>
Vérification	$V_{IL}$	$V_{IL}$	$V_{IH}$	$V_{PP}$	<b>D<sub>OUT</sub></b>
Inhibition de programme	$V_{IH}$	X	X	$V_{PP}$	<b>H-Z</b>

2°) La tension  $V_{PP}$  exprime clairement les modes qui découlent du mode lecture et de mode écriture.

Si dans un mode,  $V_{PP}$  vaut Vcc, le mode en question découle du mode Lecture.

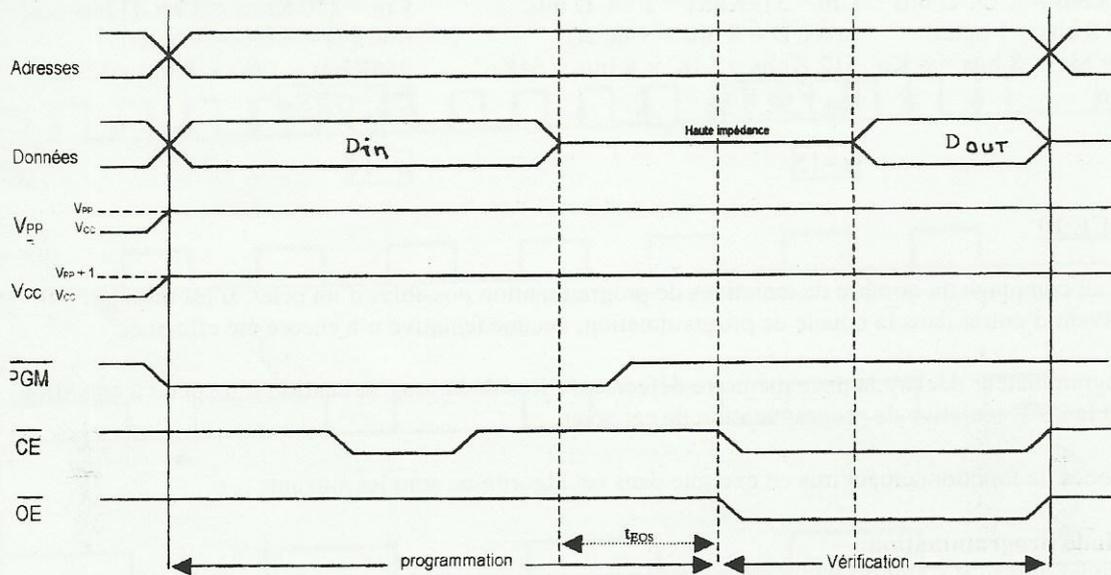
Si dans un mode,  $V_{PP}$  vaut  $V_{PP}$ , le mode en question découle du mode Ecriture.

On obtient donc le regroupement suivant :

Modes découlant du mode Lecture	Modes découlant du mode Ecriture
- Invalidation des sorties	- Vérification
- Attente TTL	- Inhibition de programmation

3°) Le mode vérification est identique au mode lecture car la vérification est une lecture. Seulement la vérification suit immédiatement une opération de programmation. De ce fait le mode vérification a lieu sous une haute tension  $V_{PP}$  alors qu'une lecture normale a lieu sous une basse tension  $V_{PP} = V_{cc}$ .

4°) Chronogramme de programmation de vérification



**EXERCICE 9**

1°) La mémoire 2864A est une EEPROM, la Am 27C512 est une UVPROM et la 28F256A est une EPROM Flash.

2°) X1 désigne WE, X2 correspond à PGM et X3 à WE. En effet une EPROM Flash et une EEPROM ont le même brochage. Le brochage des deux mémoires précédentes différent de l'UVPROM par la broche PGM.

3.a) On donne  $n = 11$ , on cherche  $x$ .

La capacité d'une mémoire est donnée par la formule suivante :  $C_m = 2^N \times D$  bits avec  $N$  le nombre de bits d'adresse et  $D$  le nombre de bits d'un mot mémoire. Sur chaque ligne, on a :

$N = A_0 \dots A_n \Rightarrow N = n + 1$   
 $D = D_0 \dots D_x \Rightarrow D = x + 1$

**Figure 1:**  $n = 11$   
 $C_m = 64 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $N = 11 + 1 = 12$ )

$2^{12} \times D = 64K \Rightarrow D = 16$   
 $x = D - 1 = 16 - 1 = 15$   
 $\boxed{X = 15}$

**Figure 2:**  $n = 11$   
 $C_m = 512 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $N = 11 + 1 = 12$ )

$2^{12} \times D = 512K \Rightarrow D = 128$   
 $x = D - 1 = 128 - 1 = 127$   
 $\boxed{X = 127}$

**Figure 3:**  $n = 11$   
 $C_m = 256 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $N = 11 + 1 = 12$ )

$2^{12} \times D = 256K \Rightarrow D = 64$   
 $x = D - 1 = 64 - 1 = 63$   
 $\boxed{X = 63}$

3-a) On donne  $x = 3$ , on cherche  $n$ .

**Figure 1:**  $x = 3$   
 $C_m = 64 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 3 + 1 = 4$ )

$2^N \times 4 = 64K \Rightarrow 2^N = 16K$   
 $2^N = 2^{14}$   
 $N = 14 \Rightarrow n = 14 - 1 = 13$   
 $n = 13$

**Figure 2:**  $x = 3$   
 $C_m = 512 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 3 + 1 = 4$ )

$2^N \times 4 = 512K \Rightarrow 2^N = 128K$   
 $2^N = 2^{17}$   
 $N = 17 \Rightarrow n = 17 - 1 = 16$   
 $n = 16$

**Figure 3:**  $x = 3$   
 $C_m = 256 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 3 + 1 = 4$ )

$2^N \times 4 = 256K \Rightarrow 2^N = 64K$   
 $2^N = 2^{16}$   
 $N = 16 \Rightarrow n = 16 - 1 = 15$   
 $n = 15$

4°) Capacité de chaque puce mémoire

**Figure 1 :**  
 $C_m = 64 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 8 \text{ bits} = 1 \text{ octet}$ )  
 $64 \text{ Kbits} = 8K \times 8 \text{ bits} = 8 \text{ Ko}$   
 $C_{ap} = 8 \text{ Ko}$

$n = 12$

**Figure 2 :**  
 $C_m = 512 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 8 \text{ bits} = 1 \text{ octet}$ )  
 $512 \text{ Kbits} = 64K \times 8 \text{ bits} = 64 \text{ Ko}$   
 $C_{ap} = 64 \text{ Ko}$

$n = 15$

**Figure 3 :**  
 $C_m = 256 \text{ Kbits} = 2^N \times D \text{ bits}$   
 (avec  $D = 8 \text{ bits} = 1 \text{ octet}$ )  
 $256 \text{ Kbits} = 32K \times 8 \text{ bits} = 32 \text{ Ko}$   
 $C_{ap} = 32 \text{ Ko}$

$n = 14$

### EXERCICE 10

1°) X sert au comptage du nombre de tentatives de programmation possibles d'un octet. Il est initialisé à 0 parce qu'avant d'entrer dans la boucle de programmation, aucune tentative n'a encore été effectuée.

2°) Le programmeur déclare la puce mémoire défectueuse lors de la programmation d'un octet à condition que ce soit la 25<sup>ème</sup> tentative de programmation de cet octet.

3°) Les modes de fonctionnement mis en exergue dans cet algorithme sont les suivants :

- **Mode programmation**

Cela est trivial puisqu'il s'agit d'un algorithme de programmation et cela y apparaît dans l'étape « impulsion de programmation de 100  $\mu\text{s}$  »

- **Mode vérification**

Toute programmation est suivie d'une vérification de l'octet programmé. Cela apparaît dans l'algorithme à l'étape « vérification d'un octet »

- **Mode lecture**

Cet mode apparaît dans l'algorithme à la fin de la programmation totale de la mémoire. C'est la dernière vérification faite et qui apparaît dans l'étape « comparaison avec les données originales ». C'est une lecture parce que la mémoire est sous les tensions  $V_{cc}$  et  $V_{pp}$  égalent à 5 V (tensions de lecture).

4°) L'impulsion de programmation est envoyée sur la broche CE (active à l'état bas).

5°) Le temps de programmation et de vérification d'un octet vaut :  $T = 100 \mu\text{s} + 4 \times 100 \mu\text{s} = 500 \mu\text{s}$ . Une PROM 27C256 a une capacité de 32 Ko, soit 32768 octets à programmer et à vérifier.

Le temps total nécessaire à la programmation entière de la PROM est  $500 \mu\text{s} \times 32768 = 16384000 \mu\text{s}$ , soit environ 16,3 s.

Si la tentative de programmation ne réussit qu'au dernier essai, il faudra donc multiplier le temps précédent par 25, soit 407,5 s ou 6 mn 47,5 s.

### EXERCICE 11

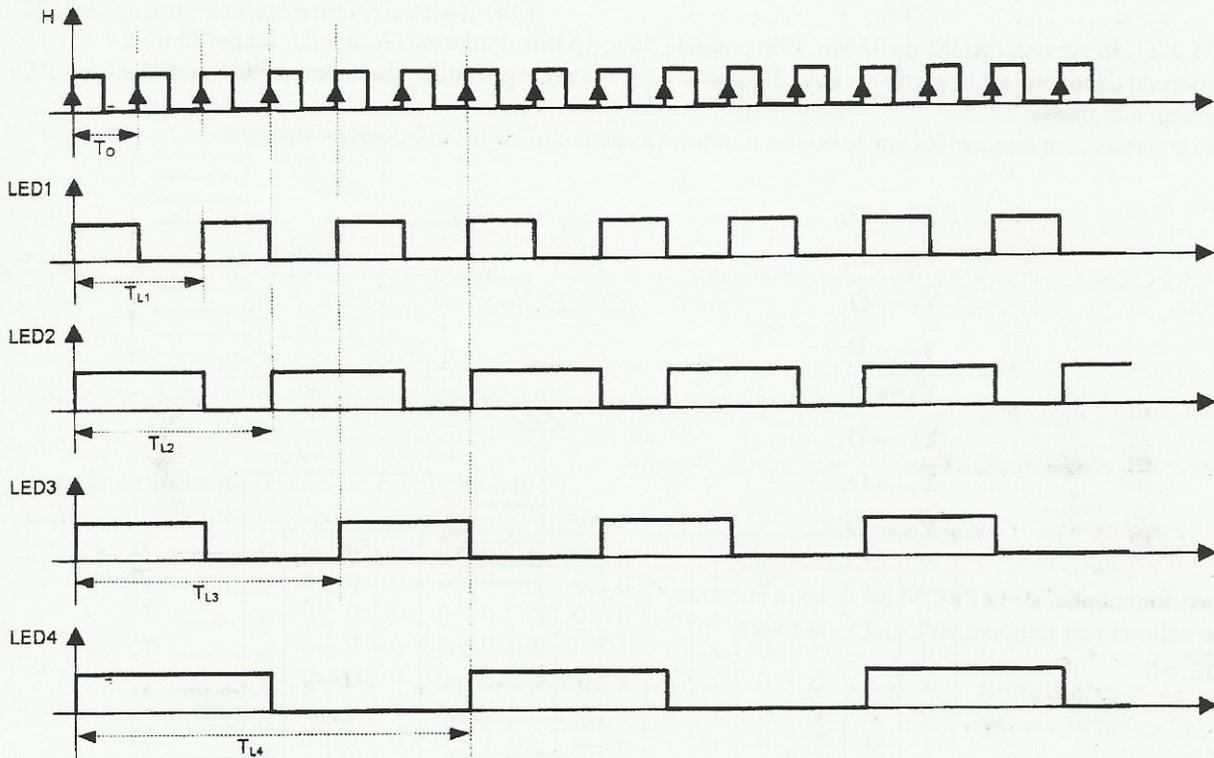
1°) La PROM du schéma a un bus d'adresse de 4 bits soit une capacité de  $2^4 = 16$  mots. Un mot fait 4 bits. La capacité totale de la mémoire pourra se mettre sous la forme  $8 \times 4 \text{ bits}$ .

2°) Si un niveau logique 1 (5 V) est appliqué sur les bases des transistors, ils se saturent. La cathode et l'anode des diodes sont reliées à la masse. Les LED sont donc éteintes. Si par contre on applique un niveau logique 0 (0 V), les transistors sont bloqués. Les LED sont polarisées en directes, elles s'allument. D'après le contenu de la PROM, à la première impulsion, toutes les sorties de la PROM génère un 0 logique, bloquant ainsi tous les transistors.

Conclusion : à la première impulsion, toutes les LED sont allumées.

3°) Pour trouver les fréquences de chaque LED en procéder par représenter le fonctionnement de ces LED sur des chronogrammes. Ces chronogrammes sont tracés en fonction du contenu de la PROM.

$T_0 = 1/24 \text{ s} \Rightarrow F_0 = 24 \text{ Hz.}$



D'après ces chronogrammes, on a :

$T_{L1} = 2 T_0 \Rightarrow F_{L1} = \frac{1}{2} F_0 \Rightarrow F_{L1} = 24/2 = 12 \text{ Hz.}$

$T_{L2} = 3 T_0 \Rightarrow F_{L2} = F_0 / 3 \Rightarrow F_{L2} = 24/3 = 8 \text{ Hz.}$

$T_{L3} = 4 T_0 \Rightarrow F_{L3} = F_0 / 4 \Rightarrow F_{L3} = 24/4 = 6 \text{ Hz.}$

$T_{L4} = 6 T_0 \Rightarrow F_{L4} = F_0 / 6 \Rightarrow F_{L4} = 24/6 = 4 \text{ Hz.}$

4°) Relation entre  $F_{L1}$  et  $F_{L3}$  d'une part et  $F_{L2}$  et  $F_{L4}$  d'autre part.

En regardant les applications numériques, on voit de façon évidente les relations suivantes :

$F_{L1} = 2 F_{L3}$  et  $F_{L2} = 2 F_{L4}$ .

### EXERCICE 12

1°) Le décodeur à réaliser possède :

- 6 entrées dont 3 entrées de variable (A, B, C) et 3 entrées de validation ( $G1$ ,  $G2_A$  et  $G2_B$ ) à connecter sur le bus d'adresse de la PROM.
- 8 sorties  $Y_0$  à  $Y_7$  à connecter sur le bus de données.

On peut proposer les affectations suivantes :

- Les entrées de validation  $G1$ ,  $G2_A$ ,  $G2_B$  sont connectées sur les bits de poids forts de la partie utile du bus d'adresse de la PROM.

$G1 \rightarrow A_5$

$\overline{G2_A} \rightarrow A_4$

$\overline{G2_B} \rightarrow A_3$

- Les entrées de sélection sont connectées sur les bits de poids faible de la partie utile du bus d'adresse de la PROM.

$C \rightarrow A_2$

$B \rightarrow A_1$

$A \rightarrow A_0$

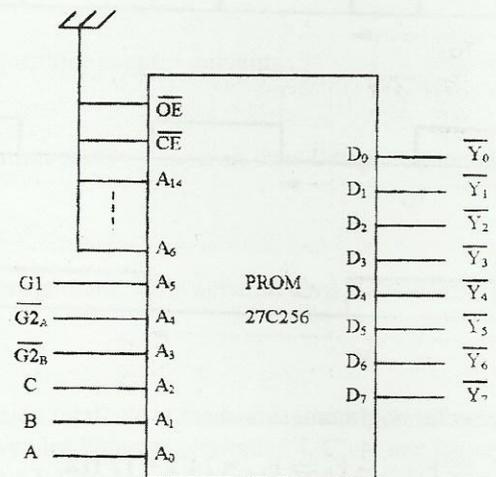
A propos de la partie utile de la PROM, le décodeur ayant 6 entrées, on utilisera seulement 6 bits du bus d'adresse de la PROM pour matérialiser ces 6 entrées, soit  $A_0$  à  $A_5$ .

La PROM 27C256 est une PROM de 32 Ko. Elle possède donc 15 bits d'adresse ( $A_0$  à  $A_{14}$ ). La partie utile à la réalisation du décodeur est la partie  $A_0$  à  $A_5$ . La partie  $A_6$  à  $A_{14}$  n'est pas utile. On la connectera purement et simplement à la masse.

- Les sorties sont connectées sur le bus de donnée. On peut choisir les affectations suivantes.

$$\begin{aligned} \overline{Y}_7 &\rightarrow D_7 \\ \overline{Y}_6 &\rightarrow D_6 \\ \overline{Y}_5 &\rightarrow D_5 \\ \overline{Y}_4 &\rightarrow D_4 \\ \overline{Y}_3 &\rightarrow D_3 \\ \overline{Y}_2 &\rightarrow D_2 \\ \overline{Y}_1 &\rightarrow D_1 \\ \overline{Y}_0 &\rightarrow D_0 \end{aligned}$$

Le schéma fonctionnel de la PROM est donc la suivante.  
Pour que celle-ci soit toujours en lecture, on fixera :  
 $\overline{CE} = \overline{OE} = 0$



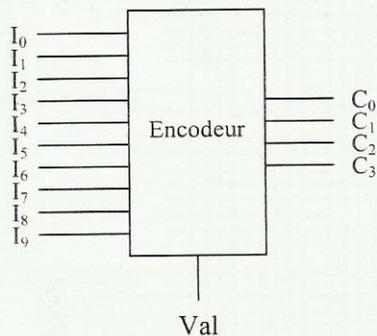
2°) Les affectations ci-dessus permettent de diviser la mémoire en 8 zones définies par les combinaisons de  $G1$ ,  $\overline{G2_A}$  et  $\overline{G2_B}$  et dont 7 correspondent au fait qu'il n'y a de décodage, donc toutes les sorties du décodeur valent 1 (sorties inactives). Une seule zone définie par  $G1 = 1$ ,  $\overline{G2_A} = 0$  et  $\overline{G2_B} = 0$  permet un décodage. Selon les combinaisons de entrées variables A, B, C, une sortie sur 8 sera active. On obtient donc le contenu suivant de la PROM.

$A_{14} \dots A_6$	$G1$	$\overline{G2_A}$	$\overline{G2_B}$	C B A			Adresse	Contenu de la PROM								Etat du circuit
	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$		$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$	
	0	0	0	0 0 0			0000 à 001F	1 1 1 1 1 1 1 1								Pas de décodage
	0	1	1	1 1 1												
0 ..... 0	1	0	0	0 0 0			0020	1 1 1 1 1 1 1 0	Décodage							
				0 0 1			0021	1 1 1 1 1 1 0 1								
				0 1 0			0022	1 1 1 1 1 0 1 1								
				0 1 1			0023	1 1 1 1 0 1 1 1								
				1 0 0			0024	1 1 1 0 1 1 1 1								
				1 0 1			0025	1 1 0 1 1 1 1 1								
				1 1 0			0026	1 0 1 1 1 1 1 1								
				1 1 1			0027	0 1 1 1 1 1 1 1								
	1	0	1	0 0 0			0028 à 003F	1 1 1 1 1 1 1 1								Pas de décodage
	1	1	1	1 1 1												

### EXERCICE 13

1°) Désignation de l'élément PAL : PAL 16L8

2°) Le schéma de l'encodeur à programmer est le suivant :



**Fomesoutra.com**  
*ça soutra !*  
 Docs à portée de main

La table de vérité de l'encodeur est la suivante :

I <sub>9</sub>	I <sub>8</sub>	I <sub>7</sub>	I <sub>6</sub>	I <sub>5</sub>	I <sub>4</sub>	I <sub>3</sub>	I <sub>2</sub>	I <sub>1</sub>	I <sub>0</sub>	C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>	C <sub>0</sub>
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	x	0	0	0	1
0	0	0	0	0	0	0	1	x	x	0	0	1	0
0	0	0	0	0	1	x	x	x	x	0	1	0	0
0	0	0	0	1	x	x	x	x	x	0	1	0	1
0	0	0	1	x	x	x	x	x	x	0	1	1	0
0	0	1	x	x	x	x	x	x	x	0	1	1	1
0	1	x	x	x	x	x	x	x	x	1	0	0	0
1	x	x	x	x	x	x	x	x	x	1	0	0	1

Cette table de vérité n'est vraie que si VAL = 1. De cette table de vérité, on tire les équations des sorties de l'encodeur.

$$C_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

$$C_1 = I_2 + I_3 + I_4 + I_7$$

$$C_2 = I_4 + I_5 + I_6 + I_7$$

$$C_3 = I_8 + I_9$$

On constate que l'entrée I<sub>0</sub> devant donner le code 0 n'apparaît pas dans les équations. En effet, les sorties des encodeurs sont naturellement à 0 quand aucune entrée n'est encore valide. L'entrée I<sub>0</sub> n'est donc pas représentée.

Pour la programmation du PAL, on peut choisir de faire les affectations suivantes :

**Pour les entrées**

Entrées encodeur	Entrées PAL
I <sub>1</sub>	→ 1
I <sub>2</sub>	→ 2
I <sub>3</sub>	→ 3
I <sub>4</sub>	→ 4
I <sub>5</sub>	→ 5
I <sub>6</sub>	→ 6
I <sub>7</sub>	→ 7
I <sub>8</sub>	→ 8
I <sub>9</sub>	→ 9
VAL	→ 10

**Pour les sorties**

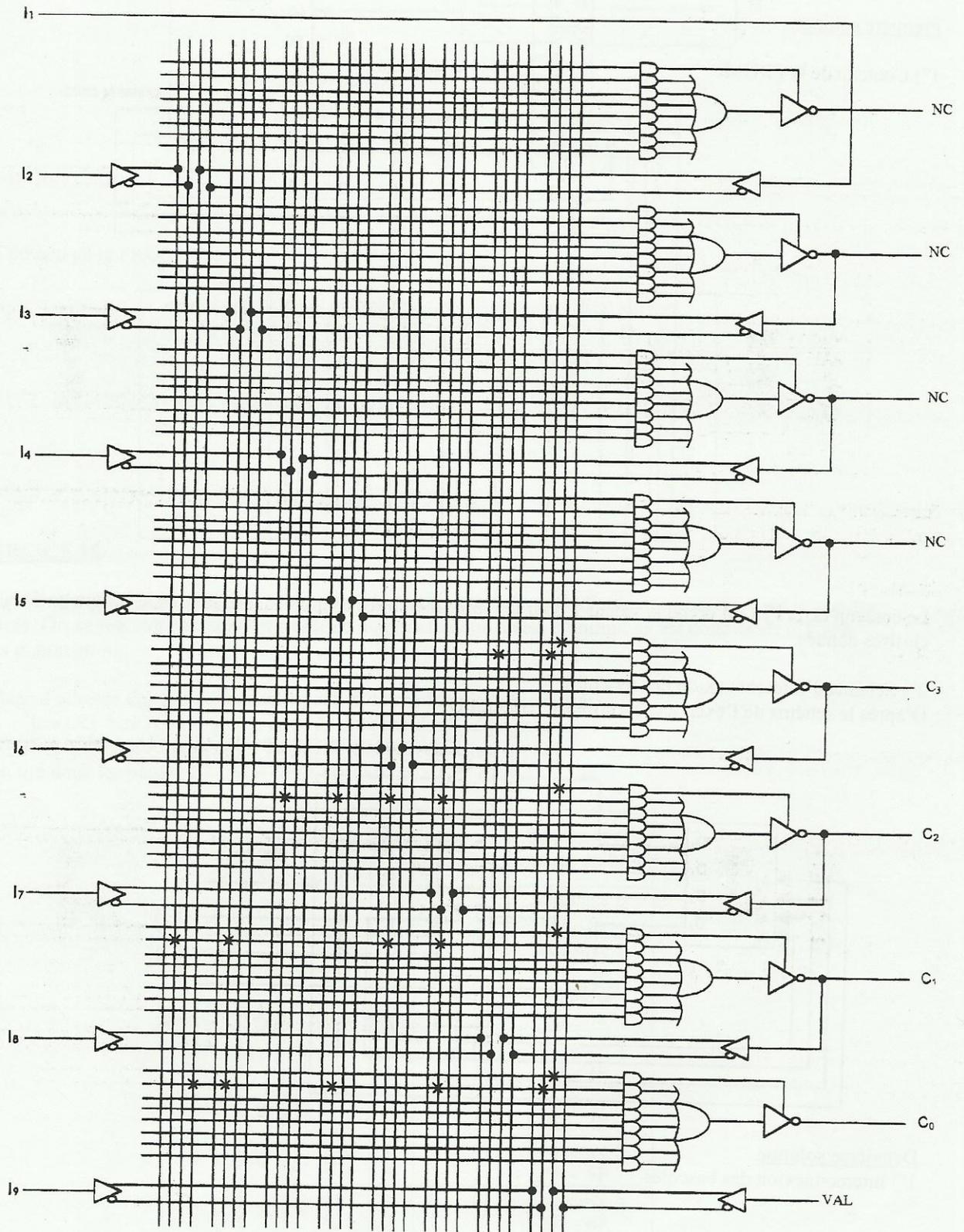
Sorties encodeur	Sorties PAL
C <sub>0</sub>	→ S <sub>1</sub>
C <sub>1</sub>	→ S <sub>2</sub>
C <sub>2</sub>	→ S <sub>3</sub>
C <sub>3</sub>	→ S <sub>4</sub>
NC	$\left. \begin{array}{l} S_5 \\ S_6 \\ S_7 \\ S_8 \end{array} \right\}$

Remarque : Les sorties du PAL étant complimentées, on programmera le complément des équations des codes. En utilisant les lois de DE MORGAN, on retrouvera les équations initiales.

Exemple :

Pour  $C_3 = I_8 + I_9$ , on programmera  $\overline{C_3} = \overline{I_8} \cdot \overline{I_9}$  de sorte qu'à la sortie du PAL, on aura  $\overline{\overline{C_3}} = \overline{\overline{I_8} \cdot \overline{I_9}}$   
 $\Rightarrow C_3 = I_8 + I_9$ .

# ANNEXE 1



## EXERCICE 14

### Première solution

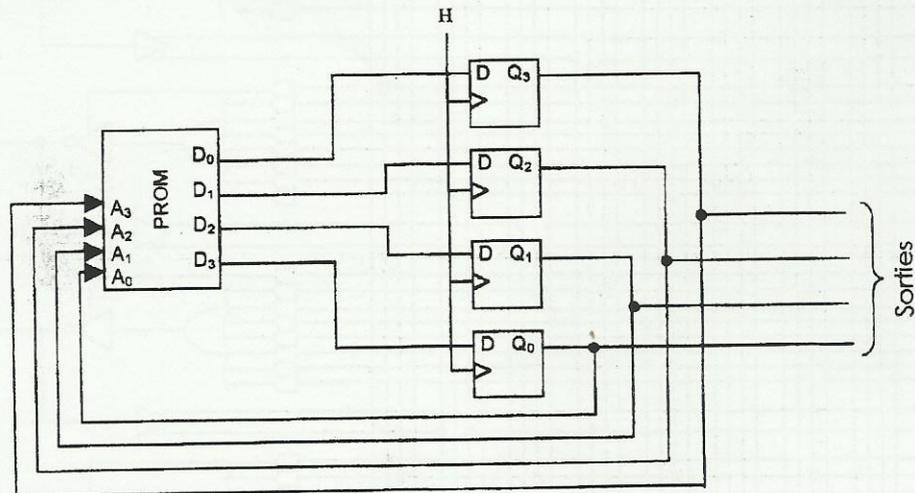
1°) Contenu de la PROM

Adresse				Contenu de la PROM			
A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	0	1
0	0	0	1	0	1	0	1
0	0	1	0	0	0	0	0
0	0	1	1	1	1	1	1
0	1	0	0	1	0	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	0	1	0	0	1	0
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	1
1	1	0	0	1	1	1	1
1	1	0	1	1	1	1	1
1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1

Le contenu de la PROM prend la valeur 1 pour les cases mémoires n'intervenant pas dans le comptage des chiffres donnés.

2°) Schéma d'interconnexion des bascules

D'après le schéma de l'exercice, on utilise 4 bascules D.



### Deuxième solution

1°) Interconnexion des bascules